

Министерство науки и высшего образования Российской Федерации  
ФГБОУ ВО «Удмуртский государственный университет»  
Институт гражданской защиты  
Кафедра цифровых инженерных технологий

# ОСНОВЫ ЦИФРОВОЙ СХЕМОТЕХНИКИ

Лабораторный практикум



Ижевск  
2024

УДК 621.3.049.77(075.8)  
ББК 32.844.1-022я73-5  
О-753

*Рекомендовано к изданию Учебно-методическим советом УдГУ*

**Рецензенты:** д-р техн. наук, профессор, УдмФИЦ УрО РАН Е.Ю. Шелковников,  
канд. техн наук, доцент, ИжГТУ имени М.Т. Калашникова В.Н. Сяктерев

**Составители:** Куликов В.А., Чирков Б.В., Шакиров А.Д.

О-753 Основы цифровой схемотехники : лабораторный практикум :  
[Электрон. ресурс] / сост. В. А. Куликов, Б. В. Чирков, А.Д. Шакиров. –  
Ижевск : Удмуртский университет, 2024. – 79 с.

Практикум содержит описание лабораторных стендов ГалСен<sup>®</sup>, теоретические сведения и методику выполнения лабораторных работ по дисциплинам цифровой схемотехники.

Издание предназначено студентам, обучающимся по направлениям бакалавриата 09.03.01 «Информатика и вычислительная техника», 27.03.04 «Управление в технических системах» и магистратуры 20.04.01 «Техносферная безопасность».

УДК 621.3.049.77(075.8)  
ББК 32.844.1-022я73-5

© Куликов В.А., Чирков Б.В.,  
Шакиров А.Д., сост., 2024  
© ФГБОУ ВО «Удмуртский  
государственный университет», 2024

## Введение

В практикуме представлены лабораторные работы, выполняемые с использованием учебного оборудования ГалСен®.

Первый раздел издания посвящен ознакомлению с лабораторным оборудованием. Представлены основные компоненты стендов – блоки испытания цифровых устройств, мультиметров, электропитания и миниблоки электронных компонентов. Кратко описан порядок работы с ними.

Последующие разделы содержат информацию, относящуюся к конкретным изучаемым объектам схемотехники цифровых устройств. В каждом разделе излагаются теоретические сведения, представлен порядок выполнения одной лабораторной работы и приведены контрольные вопросы для проверки знаний. В приложении указаны требования к оформлению и содержанию отчетов.

В списке литературы представлены источники для получения более глубоких знаний в области цифровой схемотехники [1-6].

Для изучения основ цифровой схемотехники и выполнения лабораторных работ требуются знания электротехники и электроники. На выполнение одной лабораторной работы отводится четыре академических часа: для изучения теоретической части, выполнения экспериментов на лабораторном оборудовании, оформления отчета и сдачи зачета по работе.

Лабораторный практикум рассчитан на студентов технических специальностей вуза по направлениям:

– 09.03.01 «Информатика и вычислительная техника», дисциплина «Электротехника, электроника и схемотехника» (ОПК-7: Способен участвовать в настройке и наладке программно-аппаратных комплексов);

– 27.03.04 «Управление в технических системах», дисциплина «Схемотехника» (ОПК-8: Способен выполнять наладку измерительных и управляющих средств и комплексов, осуществлять их регламентное обслуживание);

– 20.04.01 «Техносферная безопасность», дисциплина «Электроника и схемотехника» (ПК-6: Способен разрабатывать проект автоматизированной системы управления технологическими процессами).

Перечень выполняемых лабораторных работ в каждой изучаемой дисциплине определяется преподавателем в соответствии с действующей рабочей программой.

При написании и составлении разделов 1, 3–11 пособия использованы материалы сопроводительной документации к лабораторному оборудованию ГалСен® [4].

Учебное издание подготовлено в соответствии с планом освоения нового оборудования по программе «Приоритет 2030».

## Термины цифровой схемотехники

### *Двоичные коды*

**Двоичное число (двоичный код)** – многоразрядное число, в котором каждый разряд представлен одним из двух чисел – 0 или 1.

**Двоично-взвешенное число (двоично-взвешенный код)** – многоразрядное число, в котором вес каждого разряда, начиная с младшего, увеличивается по двоичному закону  $2^n$ , где  $n$  – номер разряда, начиная с 0.

**Двоичный позиционный код** – код двоичного числа, состоящий из нулей и единиц с одинаковым весом  $2^0$  каждого разряда.

### *Логические функции*

**Логическая (булева) функция** – функция одной или нескольких переменных аргументов, принимающая значение 1 при комбинациях значений 0 или 1 аргументов, от которых она зависит.

**Двоичная переменная функции** – аргумент функции, который может принимать значения 0 или 1.

**Дизъюнкция (ИЛИ)** – логическое сложение двух двоичных переменных (логическая функция).

**Дизъюнктивная нормальная функция** – логическая функция, в которой операнды представляют собой конъюнкции логических переменных и объединены знаком дизъюнкции.

**Закон инверсии (Де Моргана)** – закон ( $x \cdot y = \overline{\overline{x} \vee \overline{y}}$ ), определяющий возможность выполнения логической функции И с помощью логического элемента ИЛИ и наоборот.

**Инверсия (НЕ)** – изменение значения двоичной переменной с 0 на 1 или наоборот (логическая функция).

**Конъюнкция (И)** – логическое умножение двух двоичных переменных (логическая функция).

**Конъюнктивная нормальная функция** – логическая функция, в которой операнды представляют собой дизъюнкции логических переменных и объединены знаком конъюнкции.

### *Логические элементы*

**Логический элемент** – минимальная по сложности электронная схема, реализующая базовую (простую) логическую функцию. К базовым функциям относятся И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ, исключаящее ИЛИ.

**Амплитудная передаточная характеристика (АПХ) логического элемента** – зависимость выходного напряжения от входного для логического элемента с одним входом.

**Базовый логический элемент** – логический элемент, выполняющий базовую логическую функцию. Базовыми являются элементы И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ, Исключающее ИЛИ.

**Булев базис логических элементов** – набор элементов И, ИЛИ, НЕ.

**Высокий уровень напряжения** – один из двух уровней напряжения, кодирующий 1 или 0, наибольший по шкале напряжений.

**Низкий уровень напряжения** – один из двух уровней напряжения, кодирующий 0 или 1, наименьший по шкале напряжений.

**Негативная (отрицательная) логика** – логика, в которой 1 кодируется низким, а 0 – высоким уровнями напряжения.

**Позитивная (положительная) логика** – логика, в которой 1 кодируется высоким, а 0 – низким уровнями напряжения.

**Универсальный (функционально полный) набор (базис) логических элементов** – набор простых логических элементов, с помощью которых можно реализовать любую сколько угодно сложную логическую функцию. Примеры наборов: И, НЕ; ИЛИ, НЕ; И-НЕ; ИЛИ-НЕ.

### *Комбинационные логические схемы*

**Комбинационная схема** – схема, состоящая из логических элементов, значение величины на выходе которой определяется только комбинацией значений величин (переменных) на входах.

**Карта Карно** – форма представления таблицы истинности в виде карты.

**Минимизация логической схемы** – способ преобразования схемы, обеспечивающий уменьшение общего количества входов всех логических элементов.

**Преобразователь двоичного кода** – схема, преобразующая двоичный код в другой отличающийся код.

**Таблица истинности** – таблица соответствия комбинаций значений входных переменных и значений выходной величины.

**Факторизация логической схемы** – способ преобразования схемы, обеспечивающий уменьшение максимального количества входов элемента.

### *Последовательностные схемы*

**Последовательностная схема** – схема, состоящая из логических элементов, значение величины на выходе которой определяется комбинацией последовательности значений переменных на входах.

**Бистабильная ячейка** – схема с двумя устойчивыми состояниями, состоящая из двух инверторов, охваченных положительной обратной связью.

**Триггер** – последовательностное устройство с двумя устойчивыми состояниями, предназначенное для записи, хранения и выдачи одного бита информации (содержит один или несколько бистабильных ячеек).

**Регистр** – последовательностное устройство, предназначенное для записи, хранения и выдачи информации, представленной в виде многоразрядного двоичного кода (содержит несколько триггеров).

**Двоичный счетчик** – последовательностное устройство, предназначенное для ведения счета количества импульсов в двоичной системе счисления (содержит несколько триггеров, включенных последовательно).

# 1. ЛАБОРАТОРНОЕ ОБОРУДОВАНИЕ

Лабораторные учебные стенды имеют настольное исполнение и выполнены по блочному (модульному) принципу. В лабораторных работах используются блок испытания цифровых устройств, блок мультиметров и источник электропитания. Исследуемая схема собирается из миниблоков, устанавливаемых на наборном поле блока испытания цифровых устройств.

## 1.1. Блок испытания цифровых устройств

Блок испытания цифровых устройств включает:

1. Источник питания +5 В / 1 А с защитой от перегрузок и коротких замыканий.
2. Индикатор логических уровней.
3. Источники логических сигналов ТТЛ.
4. Наборное поле с разводкой шин питания.

Панель блока испытания цифровых устройств приведена на рис. 1.1

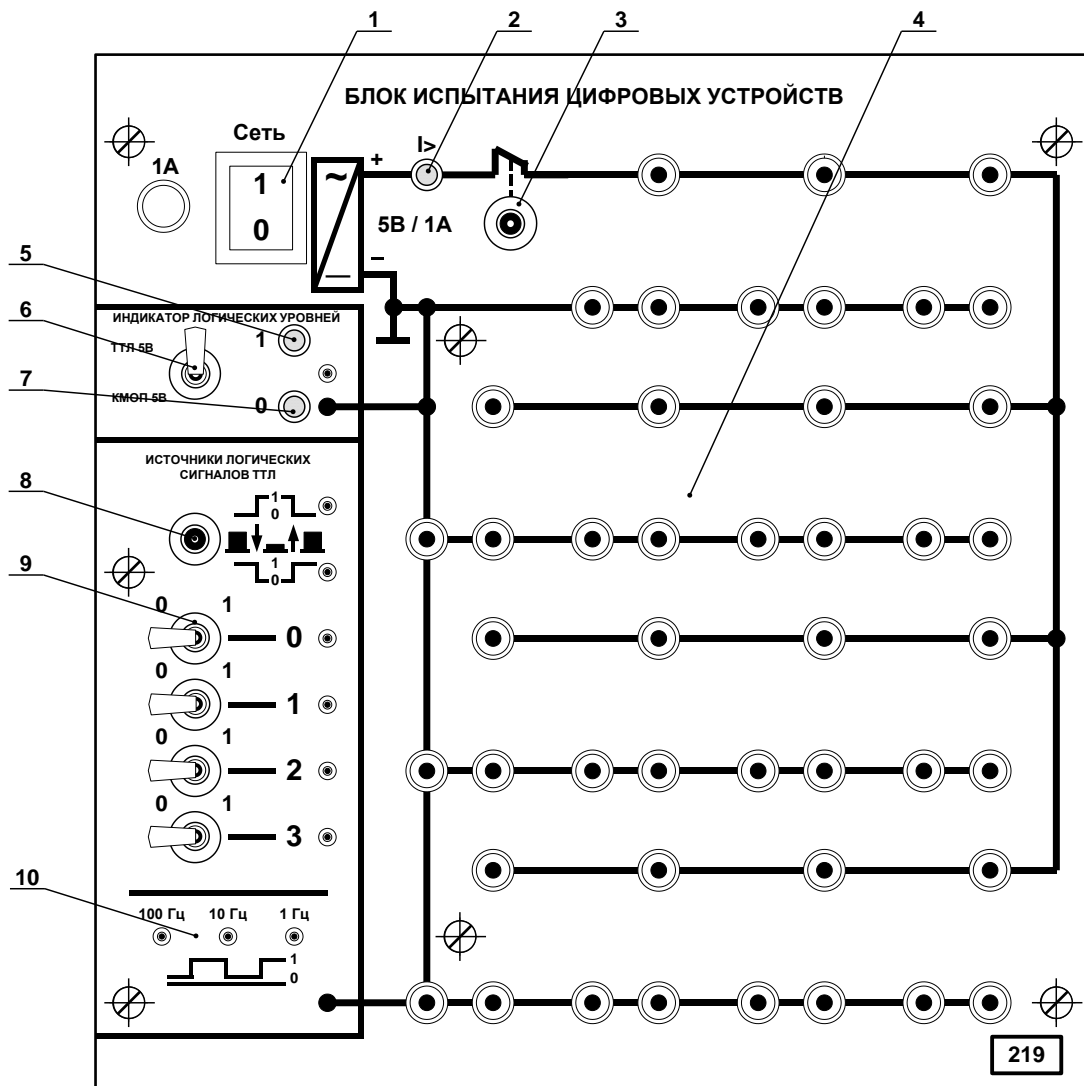


Рисунок 1.1 – Панель блока испытания цифровых устройств

### ***1.1.1. Источник питания блока***

Источник питания подает напряжения +5 В на индикатор логических уровней, источники логических сигналов ТТЛ и гнезда наборного поля. Установка миниблока в гнезда наборного поля автоматически подключает миниблок к общим шинам питания блока испытания цифровых устройств. При этом сборка логической цепи сводится к соединению выходов и входов логических элементов, источников и индикаторов логических сигналов, уже имеющих общую цепь питания.

Сборку цепей необходимо выполнять при отключенном питании блока испытания цифровых устройств, т. е. при отключенном выключателе 1 («Сеть»). Включать выключатель 1 («Сеть») следует только после сборки и проверки цепи. Если ток нагрузки источника питания превысит 1,3...1,5 А или произойдет короткое замыкание, напряжение питания будет отключено и сработает индикатор перегрузки 2 («I>»). Если после устранения причины перегрузки питание не восстановится автоматически, т. е. не погаснет индикатор 2 («I>»), то необходимо нажать и отпустить кнопку 3.

### ***1.1.2. Индикатор логических уровней***

Индикатор логических уровней отображает состояние подключенного к его входу логического сигнала. Для подключения индикатора достаточно одного провода, т. к. он имеет общую цепь питания с остальными частями блока испытания цифровых устройств. Свечение красного светодиода 5 указывает, что входной сигнал соответствует уровню логической 1 (2...5 В для элементов ТТЛ или 3,5...5 В для элементов КМОП). Зеленый светодиод 7 соответствует уровню логического 0 (0...0,8 В для элементов ТТЛ или 0...1,5 В для элементов КМОП). Если светодиоды не светятся, уровень логического сигнала не соответствует ни 0, ни 1. Свечение обоих светодиодов свидетельствует о постоянном переключении сигнала между уровнями 0 и 1. Пороги срабатывания индикаторов (ТТЛ/КМОП) определяются положением переключателя 6.

### ***1.1.3. Источники логических сигналов ТТЛ***

Логические сигналы на выходах источников 8, 9 и 10 соответствуют уровням ТТЛ элементов. Источники логических сигналов имеют общую цепь питания с наборным полем и индикатором логических уровней. Поэтому для их подключения достаточно использовать один провод, соединяющий выход источника с входами логических элементов.

Кнопка 8 управляет двумя логическими сигналами, переключающимися в противофазе. Специальные цепи устраняют дребезг механических контактов кнопки, поэтому данные сигналы необходимо использовать для надежного



управления последовательными схемами (триггерами, счетчиками и т. п.). Группа четырех тумблеров 9 предназначена для задания статических логических сигналов и не имеет цепей устранения дребезга контактов.

#### 1.1.4. Генератор импульсов

Генератор 10 вырабатывает импульсы с частотами 100, 10 и 1 Гц и скважностью 2.

### 1.2. Блок мультиметров

В блок мультиметров 509.3 (рис. 1.2) включены два мультиметра: МУ60 и МУ65. В блоке установлены источники питания мультиметров от сети 220 В. Напряжение на источники питания подается через выключатель «СЕТЬ» и предохранитель «1 А», расположенные на лицевой панели блока. Для включения мультиметров кроме выключателя «СЕТЬ» необходимо нажать кнопку «ON/OFF», расположенную слева под индикатором. **ВНИМАНИЕ! Мультиметр МУ65 не работоспособен, если при нажатии кнопки «ON/OFF» нажата кнопка «HOLD».** Кнопку «HOLD» необходимо отжать. В верхней части лицевой панели блока расположены предохранители, защищающие мультиметры на пределах измерения тока.

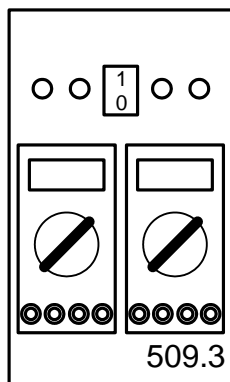


Рисунок 1.2 – Блок мультиметров

В верхней части каждого из мультиметров расположено отсчетное устройство - цифровой индикатор. Ниже расположен механический переключатель режимов работы и пределов измерения приборов. Под переключателем размещены гнезда подключения проводников:

– гнездо «СОМ» – общее гнездо (0 В) подключения прибора при любых измерениях. При измерении постоянного напряжения или тока гнездо соответствует «-» (минусу) прибора. При измерении сопротивления на гнездо «СОМ» подается «-» (минус) от внутреннего источника мультиметра. Полярность внутренних источников необходимо учитывать, например, при проверке диодов;

– гнездо «VΩ». Используется для подключения к прибору второго проводника на пределах измерения напряжения и сопротивления. При измерении постоянных напряжений и токов это гнездо соответствует «+» прибора. При измерении сопротивления это гнездо подключено к проводу «+» внутреннего источника мультиметра;

– гнездо «A» мультиметров предназначено для подключения цепи измерения тока на всех пределах измерения тока, кроме 10 А. Гнездо соответствует «+» прибора;

– гнездо «10 А» (на обоих приборах) предназначено для подключения цепи измерения тока на пределе 10 А. Гнездо соответствует «+» прибора.

При измерении постоянного напряжения показания прибора положительны, если напряжение направлено от гнезда «V» (т. е. «+») к гнезду «COM» (т. е. «-»). Аналогично ток считается положительным, если он протекает через прибор в направлении от гнезда «+» (т.е. «mA», «A» или «10A») к гнезду «-» («COM»).

### ***1.2.1. Последовательность работы с мультиметром:***

1. В исходном состоянии прибор отключен от измеряемой цепи.

2. Установить переключателем требуемый предел измерения. Если величина измеряемого напряжения или тока не известна заранее, необходимо установить наибольший предел измерения соответствующей величины, исключая выход прибора из строя при подаче питания на испытываемую цепь. Подавать напряжение (ток) на входы мультиметров, можно, только если их переключатели установлены в положения измерения напряжения, тока или частоты.

3. Подключить прибор к обесточенной испытываемой цепи.

4. Включить источники питания мультиметра и испытываемой цепи и выполнить измерения.

Допускается переход на меньший предел измерения измеряемой величины: переключатель пределов переводиться в соседнее с исходным положение.

Недопустимо при переключении предела, даже кратковременно, устанавливать переключатель в положения, соответствующие иным измеряемым величинам.

5. Для переключения прибора к другому участку испытываемой цепи, необходимо отключить питание цепи, изменить подключение мультиметра, установить предел измерения, и вновь подать питание на испытываемую цепь.

6. При измерении параметров элементов электрических цепей: диодов, резисторов, конденсаторов недопустимо подавать на вход прибора напряжение от внешних источников (недопустимо измерять параметры элементов в цепи, находящейся под напряжением). Конденсатор перед измерением емкости необходимо разрядить, замкнув накоротко его выводы.

### 1.2.2. Измерение напряжения

- Включить питание всех блоков цепи, в том числе и блока мультиметров.
- Включите мультиметр кнопкой «ON/OFF», расположенной слева под индикатором. Если при длительном бездействии произойдет автоматическое отключение питания мультиметра необходимо отключить и повторно включить кнопку «ON/OFF».

- Произвести отсчет напряжения по индикатору мультиметра. Если на индикаторе в старших разрядах отображаются нули, точность отсчета измеряемого напряжения необходимо повысить, переключившись на меньший предел измерения. Последовательно переходя от старшего предела к младшим (1000→200→20→2→200m) необходимо получить на индикаторе возможно большее число цифр результата, что обеспечивает наибольшую точность отсчета величины измеряемого напряжения. При перегрузке (напряжение на входе выше предела измерения) на индикаторе отображается 1 в крайнем левом разряде, а остальные знаки индикатора выключены. В этом случае необходимо переключиться на больший предел.

**Внимание!** Если на вход мультиметра подано измеряемое напряжение запрещается устанавливать переключатель пределов в положения за пределами сектора измеряемой величины («V $\overline{\text{---}}$ » или «V $\sim$ »). Вращение переключателя через сектора пределов измерения других величин в этом случае может привести к выходу прибора из строя.

### 1.3. Источник электропитания

При выполнении лабораторных работ все блоки комплекта, имеющие сетевое питание, для повышения электробезопасности подключается к сети через однофазный источник питания G1 (218.2), включающий устройство защитного отключения, в соответствии со схемой, приведенной на рис. 1.3.

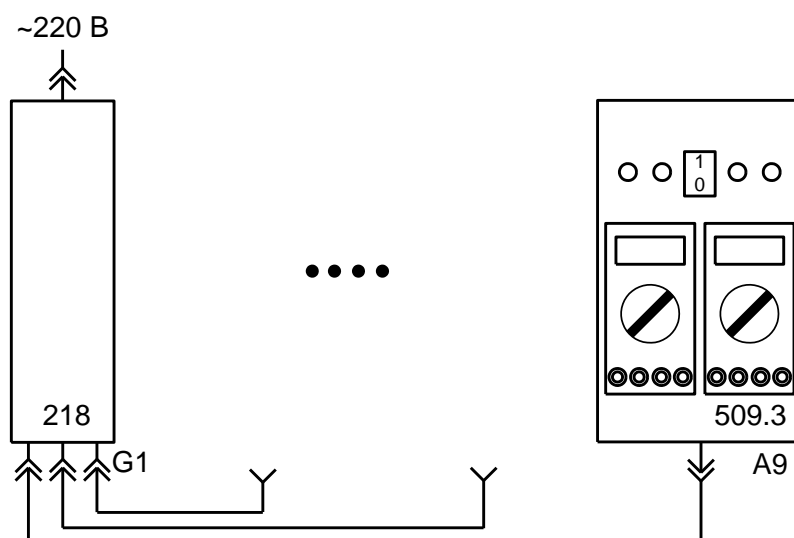


Рисунок 1.3 – Схема питания блоков

При выполнении эксперимента необходимо соблюдать следующий порядок подачи питания на исследуемую цепь:

- Убедитесь, что устройства, используемые в эксперименте, отключены от сети электропитания.
- Соедините аппаратуру в соответствии со схемой электропитания (рис. 1.1.1).
- Соберите исследуемую цепь в соответствии с описанием лабораторной работы.
- Включите устройство защитного отключения и автоматический выключатель в однофазном источнике питания G1.
- Включите выключатель «СЕТЬ» блоков, используемых в эксперименте.
- Выполните эксперименты, предусмотренные в лабораторной работе. При необходимости изменения исследуемой схемы отключите выключатель «СЕТЬ» блоков, измените схему, включите выключатель «СЕТЬ».
- По завершении работы отключите выключатель «СЕТЬ» всех блоков и автоматический выключатель в однофазном источнике питания G1.

#### 1.4. Набор миниблоков

Общий вид спереди типового набора миниблоков приведен на рис. 1.4.

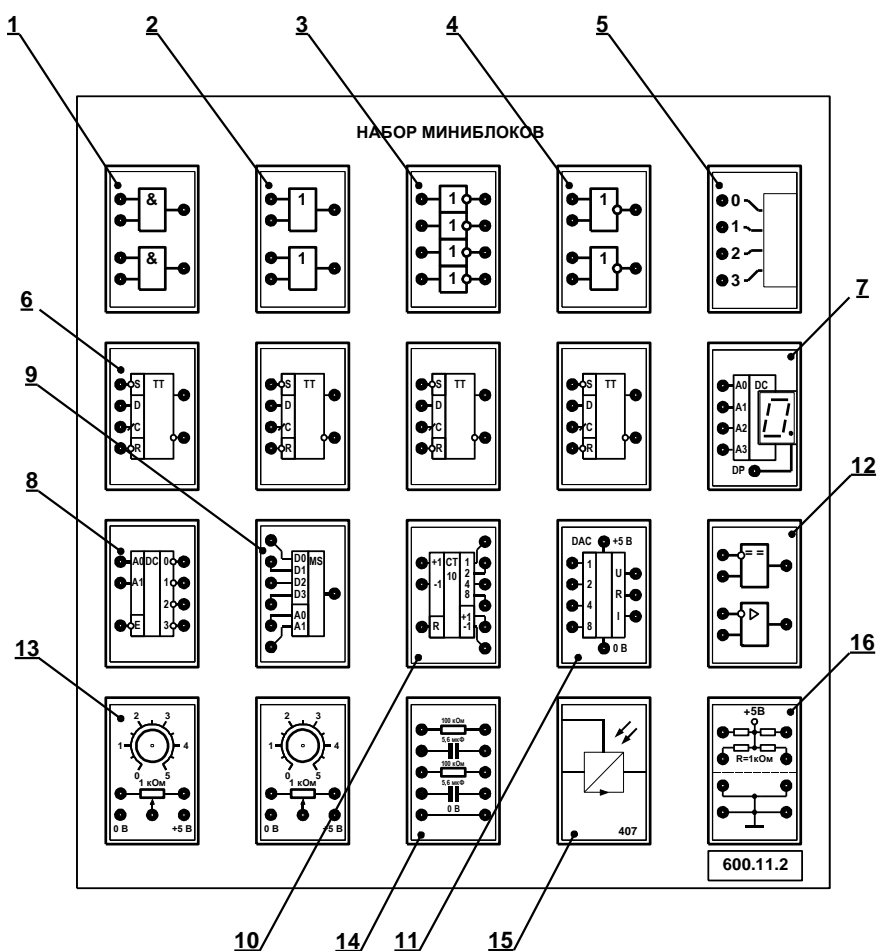


Рисунок 1.4 – Типовой набор миниблоков

1 – Миниблок, содержащий два логических элемента И. Микросхема КР1533ЛИ1 (74ALS08).

2 – Миниблок, содержащий два логических элемента ИЛИ. Микросхема КР1533ЛЛ1 (74ALS32).

3 – Миниблок, содержащий четыре логических элемента НЕ. Микросхема КР1533ЛН1 (74ALS04).

4 – Миниблок, содержащий два логических элемента ИЛИ-НЕ. Микросхема КР1533ЛЕ1 (74ALS02).

5 – Миниблок, содержащий индикатор логических уровней со светодиодами (КР1533ЛА9, 74ALS03). Свечение индикатора соответствует логической 1 на соответствующем входе миниблока.

6 – Миниблок, содержащий D триггер (4 шт.). Микросхема КР1533ТМ2 (74ALS74).

7 – Миниблок, содержащий семисегментный индикатор с двоично-десятичным дешифратором (CD4511). При подаче на вход дешифратора кодов, соответствующих числам от  $1010_2$  до  $1111_2$  (в десятичной системе –  $10_{10} \dots 15_{10}$ ), все сегменты индикатора отключаются. Для включения десятичной точки на вход DP необходимо подать +5 В.

8 – Миниблок, содержащий декодер/демультиплексор. Микросхема КР1533ИД14 (74ALS139).

9 – Миниблок, содержащий мультиплексор. Микросхема КР1533КП2 (74ALS153).

10 – Миниблок, содержащий двоично-десятичный реверсивный счетчик. Микросхема КР1533ИЕ6 (74ALS192).

11 – Миниблок, содержащий цифро-аналоговый преобразователь (ЦАП). Микросхема TLC7524. Из 8 двоичных разрядов ЦАП используются 4 старших.

12 – Миниблок, содержащий компаратор с гистерезисом и операционный усилитель. Микросхема МС33202 (или аналог).

13 – Миниблок с переменным резистором 1 кОм. На лицевую панель миниблока выведены клеммы, подключенные к шинам питания «0 В» и «+5 В».

14 – Миниблок, содержащий два резистора с  $R=100$  кОм и два конденсатора  $C=5,6$  мкФ. Клеммы «0 В» подключены к общему проводу источника питания.

15 – Датчик освещенности. Выходное напряжение датчика пропорционально его освещенности.

16 – Миниблок, содержащий цепи подключения входов микросхем к шинам питания.

**В лабораторных работах может использоваться расширенный набор миниблоков в соответствии с описанием.**

## 2. ЛОГИЧЕСКИЙ ЭЛЕМЕНТ ТРАНЗИСТОРНО-ТРАНЗИСТОРНОЙ ЛОГИКИ

Цель работы: изучение способа кодирования информации в цифровых электронных устройствах, внутренней схемотехники и принципа работы логических элементов ТТЛ; приобретение навыков работы с измерительными приборами.

### 2.1. Теоретические сведения

#### 2.1.1. Кодирование информации в цифровых устройствах. Понятие логического элемента

В двоичной системе счисления в отличие от десятичной системы в каждом разряде многоразрядного числа могут присутствовать только две цифры 0 или 1. Такая система представления чисел удобна для использования в цифровых электронных устройствах, так как разряды двоичных чисел легко могут быть представлены двумя уровнями напряжения. Один из уровней называют высоким, другой низким (см. варианты 1, 2, 3 на рис. 2.1). Обычно высоким уровнем (ВУ) представляют (кодируют) единицу «1» двоичной системы, а низким уровнем (НУ) – ноль «0». Логику с таким способом кодирования называют положительной или позитивной, другую (альтернативную) – отрицательной (негативной).

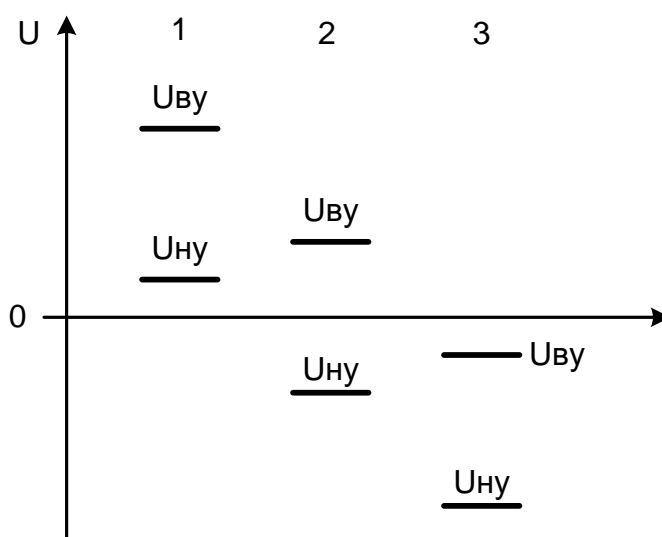


Рисунок 2.1 – Уровни напряжений, кодирующие ноль и единицу

Все арифметические и логические операции (функции) над одnorазрядными двоичными числами выполняются с использованием логических элементов. Простейшими являются логические элементы, называемые И, ИЛИ, НЕ.

На рис. 2.2 показаны обозначения элементов, выполняемые ими функции и таблицы истинности – таблицы соответствия комбинаций значений входных переменных и выходной функции.

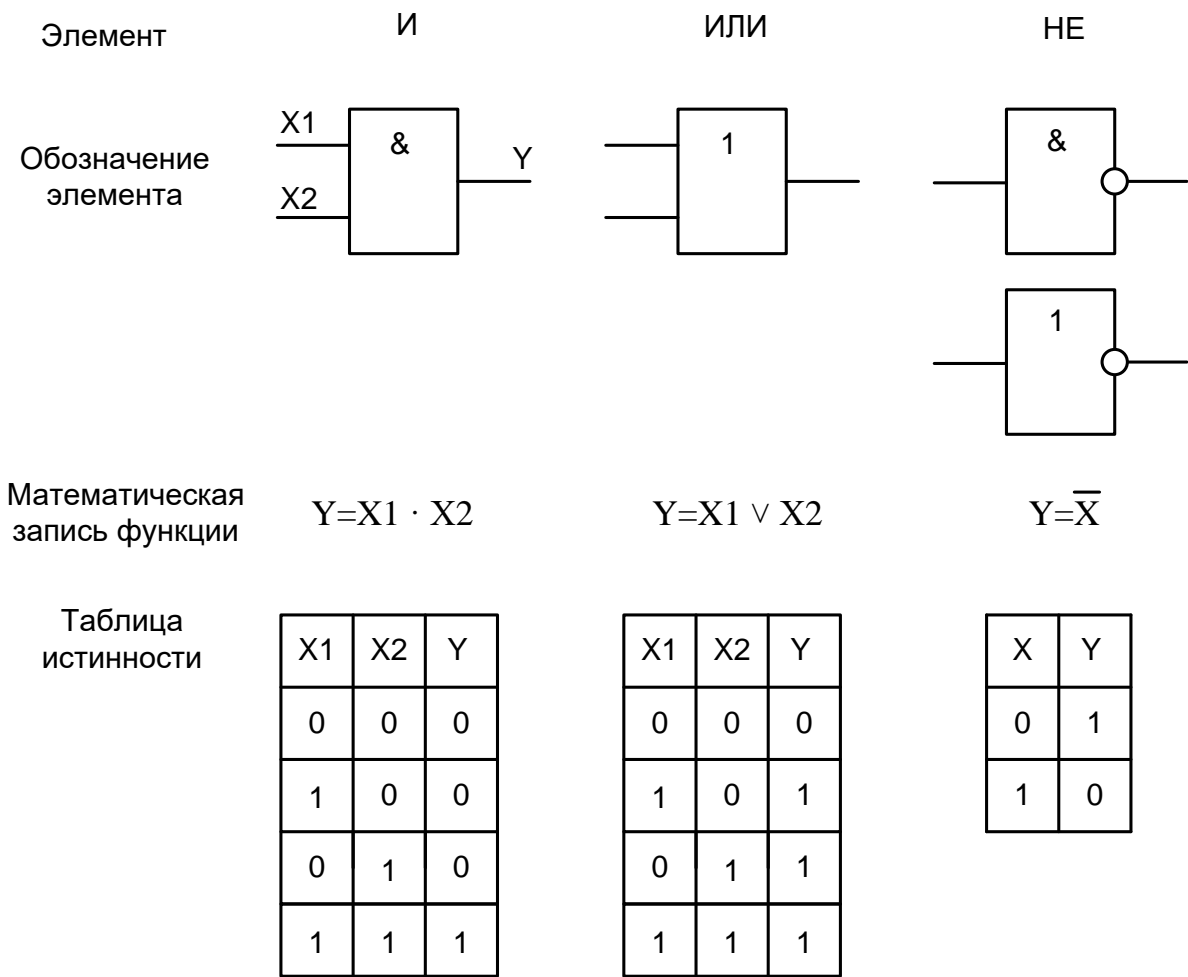


Рисунок 2.2 – Логические элементы, функции и таблицы истинности

Простейшие логические элементы в комбинациях И, НЕ и ИЛИ, НЕ образуют функционально полные наборы, с помощью которых можно реализовать любую сколько угодно сложную логическую функцию. По этой причине широкое применение получили двухступенчатые элементы типов И-НЕ и ИЛИ-НЕ (рис. 2.3), в которых сразу выполняются две функции, например, сначала И, а затем НЕ.

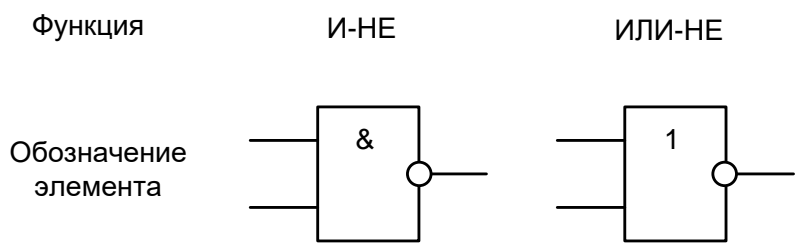


Рисунок 2.3 – Двухступенчатые логические элементы

При изучении принципов построения (внутренней схемотехники) логических элементов обычно рассматривают эти элементы.

### 2.1.2. Внутренняя схемотехника и принцип работы логического элемента

На рис. 2.4, а представлена электрическая схема базового логического элемента И-НЕ, изготавливаемого по биполярной технологии, называемой транзисторно-транзисторная логика ТТЛ (TTL - англ.).

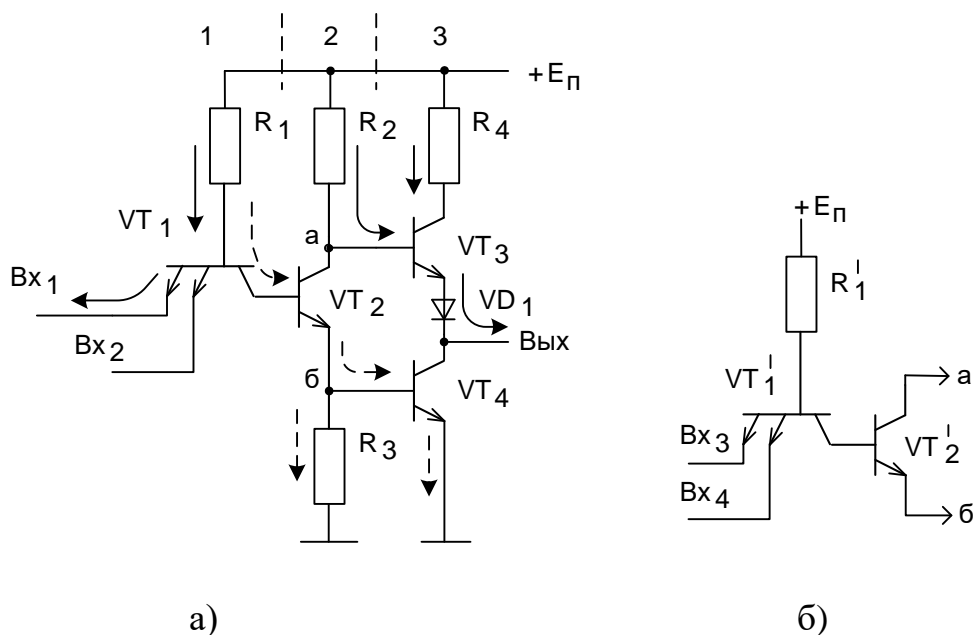


Рисунок 2.4 – Электрическая схема базового логического элемента

Схема содержит три каскада (1, 2, 3).

Первый каскад 1 выполнен на многоэмиттерном транзисторе VT1 (на рис. 2.4, а – двухэмиттерном), включенным по схеме с общей базой (ОБ). Предназначен для выполнения логической функции И (см. аналог – диодный логический элемент [2]).

Второй каскад 2 называется фазоинверсным, выполнен на транзисторе VT2 по схеме с общим эмиттером (ОЭ) по отношению к транзистору VT3 и по схеме с общим коллектором (ОК) по отношению к VT4. Предназначен для управления транзисторами VT3 и VT4 выходного каскада 3 в противофазе друг другу. VT3 включен по схеме ОК, а VT4 – по схеме ОЭ.

Каскады 2 и 3 вместе образуют схему, называемую сложным инвертором, которая выполняет логическую функцию НЕ.

Элементы ТТЛ во всех модификациях питаются напряжением +5 В.



При рассмотрении принципа работы используют следующие упрощающие допущения:

1. Вольт-амперные характеристики (ВАХ) диода и управляющего перехода база-эмиттер (БЭ) транзистора, имеющие вид экспоненциальной функции, аппроксимируются ломаной линией. В открытом состоянии диода и перехода БЭ на них падает напряжение  $U_{\text{дот}}=U_{\text{бэот}}=0,7\text{В}$ . Если напряжение меньше  $0,7\text{В}$ , то диод или переход закрыты.

2. Падение напряжения на открытом переходе база-коллектор (БК) транзистора в силу конструктивных особенностей меньше и составляет  $U_{\text{бкот}}=0,5\text{В}$ .

3. Между коллектором и эмиттером транзистора в режиме насыщения (когда оба перехода открыты) падает напряжение  $U_{\text{кэн}}=U_{\text{бэот}}-U_{\text{бкот}}=0,7-0,5=0,2\text{В}$ .

Принятые упрощения позволяют рассчитывать напряжения в точках схемы элемента ТТЛ по цепочкам открытых переходов.

Рассмотрим работу схемы при изменении входного напряжения от  $0\text{ В}$  до  $+E_{\text{п}}$  на  $V_{\text{x1}}$ , полагая, что второй вход  $V_{\text{x2}}$  ни к чему не подключен. Тогда  $VT1$  работает как обычный транзистор с одним эмиттером. Работа иллюстрируется графиком изменения напряжения на выходе в зависимости от входного напряжения на рис. 2.5, который называется амплитудной передаточной характеристикой (АПХ).

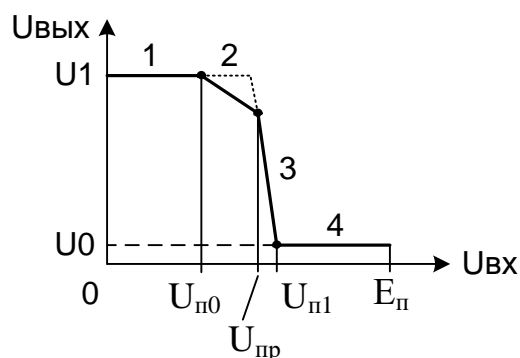


Рисунок 2.5 – Амплитудная передаточная характеристика элемента ТТЛ

При  $U_{\text{вх}}=0$  переход БЭ  $VT1$  открыт, ток резистора  $R1$  протекает от источника питания  $+E_{\text{п}}$  и открытый эмиттерный переход на вход схемы (сплошная стрелка). Транзистор  $VT1$  находится в насыщении. На базе  $VT2$  присутствует напряжение

$$U_{\text{б2}} = U_{\text{вх}} + U_{\text{кэн}} = 0 + 0,2 = 0,2 \text{ В.} \quad (2.1)$$

Этого напряжения недостаточно для открывания перехода БЭ  $VT2$ , поэтому он находится в отсечке. Также в отсечке находится транзистор  $VT4$ , а  $VT3$  пребывает в активном режиме благодаря току резистора  $R2$ , который, втекая в базу  $VT3$ , далее протекает через диод  $VD1$  на выход схемы. На выходе

схемы присутствует высокий уровень напряжения  $U_1$ , которое можно рассчитать по цепочке открытых переходов БЭ VT3 и диода VD1:

$$U_1 = U_{\text{ЭП}} - U_{\text{БЭОТ3}} - U_{\text{ДОТ}} = 5 - 0,7 - 0,7 = 3,6 \text{ В.} \quad (2.2)$$

При увеличении входного напряжения состояния транзисторов схемы и напряжения на выходе не изменяются, пока напряжение на входе не достигнет значения  $U_{\text{п0}}$ . При данном напряжении начинает открываться переход БЭ VT2, и он переходит в активный режим. Напряжение  $U_{\text{п0}}$  можно найти, считая что при этом  $U_{\text{Б2}} = U_{\text{БЭОТ}} = 0,7 \text{ В}$  :

$$U_{\text{п0}} = U_{\text{Б2}} - U_{\text{КЭН}} = 0,7 - 0,2 = 0,5 \text{ В.} \quad (2.3)$$

Дальнейшее увеличение входного напряжения ведет к увеличению напряжения на базе VT2 и увеличению его токов коллектора и эмиттера. Напряжение на коллекторе VT2 (на базе VT3) понижается, соответственно понижается напряжение на выходе схемы (участок 2 АПХ на рис. 2.5), а напряжение на базе VT4 растет. Фазоинверсный каскад на транзисторе VT2 работает как усилитель напряжения с коэффициентом  $R2/R3$ . Этот коэффициент примерно равен 1,6 единиц, что и определяет наклон участка 2.

При напряжении на входе  $U_{\text{пр}}$  начинает открываться транзистор VT4, т. к. напряжение на его базе достигает уровня открывания  $U_{\text{БЭОТ}} = 0,7 \text{ В}$ . Отсюда находим значение

$$U_{\text{пр}} = U_{\text{БЭОТ4}} + U_{\text{БЭОТ2}} - U_{\text{КЭН}} = 0,7 + 0,7 - 0,2 = 1,2 \text{ В.} \quad (2.4)$$

После открывания перехода БЭ VT4 его малое сопротивление в открытом состоянии шунтирует резистор R3. В результате возрастает коэффициент усиления фазоинверсного каскада на транзисторе VT2 и резко увеличивается спад характеристики (участок 3) на рис. 2.5.

При напряжении на входе  $U_{\text{п1}}$  транзистор VT4 входит в насыщение, а транзистор VT3 и диод VD1 закрываются. Напряжение на выходе схемы стабилизируется на уровне  $U_{\text{КЭН}} = 0,2 \text{ В}$  (участок 4 на рис. 2.5) и достигает значения низкого уровня  $U_0$ . При этом значение напряжения  $U_{\text{п1}}$  рассчитывается так же, как  $U_{\text{пр}}$ , по цепочке открытых переходов БЭ VT2, VT4 и напряжению коллектор-эмиттер насыщения VT1. Однако реально оно примерно на 0,1 вольта превышает  $U_{\text{пр}}$ :  $U_{\text{п1}} = 1,3 \text{ В}$ . Это объясняется тем, что начало открывания перехода БЭ VT4 и его полностью открытое состояние наблюдаются при чуть отличающихся напряжениях.

Дальнейшее увеличение входного напряжения не изменяет значение напряжения на выходе схемы, но приводит к закрыванию перехода БЭ VT1 и переходу его в инверсный режим. При этом ток резистора R1 полностью переключается в цепь базы VT2 (пунктирная стрелка), который входит в насыщение.

Таким образом, на графике зависимости выходного напряжения элемента ТТЛ от входного, участки 1 и 4 соответствуют статическим состояниям элемента при подаче на вход соответственно низкого и высокого уровней напряжения, а участки 2 и 3 – процессу его переключения. По АПХ можно определить зоны отображения «0» и «1» напряжением для элемента ТТЛ.

Из графика по оси  $U_{вх}$  видно, что для четкого (однозначного) кодирования логического нуля «0», низкий уровень напряжения на входе элемента ТТЛ не должен превышать значение  $U_{п0}=0,5$  В. Высокий уровень напряжения, кодирующий логическую единицу 1, должен быть больше  $U_{п1}=1,3$  В.

Для элементов ТТЛ, реализуемых по схеме рис. 2.4, а, (отечественные серии микросхем 155 и 133), приняты нормативные диапазоны значений  $U_0=0...0,4$ В,  $U_1=2...4$  В. Как видно, рассчитанные выше значения этих величин на входе и выходе элемента находятся в указанных нормативных диапазонах.

При выполнении логической функции И-НЕ используются несколько (в схеме на рис. 2.4, а два) входов многоэмиттерного транзистора VT1. Из схемы следует, если хотя бы на одном входе элемента присутствует низкий уровень напряжения  $U_0$ , то ток резистора R1 протекает через соответствующий открытый эмиттерный переход VT1 на вход схемы, и на выходе наблюдается высокий уровень напряжения  $U_1$ . Для того, чтобы на выходе был низкий уровень  $U_0$ , необходимо, чтобы на оба входа элемента были поданы высокие уровни  $U_1$ . В этом случае ток резистора R1 переключается в цепь базы транзистора VT2. Таким образом в положительной логике кодирования рассмотренный элемент ТТЛ выполняет логическую функцию И-НЕ.

Функция ИЛИ-НЕ реализуется в схеме путем подключения параллельно транзистору VT2 дополнительного транзистора VT2<sup>1</sup> с дополнительным входным каскадом 1 (рис. 2.4, б), подключенным к его базе. Тогда для того, чтобы на выходе элемента был ВУ напряжения, необходимо закрыть оба транзистора VT2 и VT2<sup>1</sup>, т.е. на входы элемента ИЛИ-НЕ подать низкие уровни напряжения  $U_0$ .

В лабораторном стенде используются ТТЛ-элементы серии 1533, которые имеют усовершенствованную электрическую схему. В частности, для повышения быстродействия в ней применяют транзисторы Шоттки (биполярные транзисторы с диодами Шоттки). При этом вместо резистора R3 используется схема нелинейного сопротивления, выполненная на дополнительном транзисторе.

Это улучшило АПХ. Участок 2 АПХ стал продолжением вверх участка 3 (см. рис. 2.4, б), и, таким образом, уровень  $U_{п0}$  увеличился до значения близкого  $U_{пр}$ .

Также вместо диода VD1 в схеме используется еще один дополнительный транзистор, образующий вместе с VT3 составную схему, что повысило повысить нагрузочную способность схемы ТТЛ при высоком уровне напряжения на выходе.

Разработчик лабораторных стендов на выходах всех ТТЛ-элементов микросхем установил между шиной питания +5В и выходами элементов так называемые «подтягивающие» резисторы сопротивлением 1кОм, что привело к увеличению на выходе высокого уровня напряжения  $U_1$  до значения, близкого к  $+E_{п}=5$  В.

Таким образом, элементы ТТЛ в лабораторном стенде имеют следующие диапазоны кодирования нуля и единицы:  $U_0=0...0,8$  В,  $U_1=2...5$  В.

Применение элементов ТТЛ имеет следующие особенности.

На неиспользуемые (лишние) входы принято подавать напряжение нуля или единицы для того, чтобы элементы не переключались произвольно от наводимых помех. Для этого при необходимости подачи нуля вход подключают к общему проводу 0 В, а подача единицы осуществляется путем подключения входа к шине питания +5В через резистор 1 кОм. Этот резистор ограничивает входной ток элемента на безопасном уровне в случае пробоя перехода БЭ многоэмиттерного транзистора. Также необходимо иметь ввиду, что неподключенный (оборванный) вход элемента ТТЛ соответствует случаю подачи на него высокого уровня напряжения (в положительной логике – 1).

## 2.2. Порядок выполнения работы

### 2.2.1. Определение амплитудной передаточной характеристики (АПХ) элемента ТТЛ.

А. На наборном поле **Блока испытания цифровых устройств** установить миниблоки с элементом НЕ и переменным резистором (потенциометром) и собрать схему на рис. 2.6.

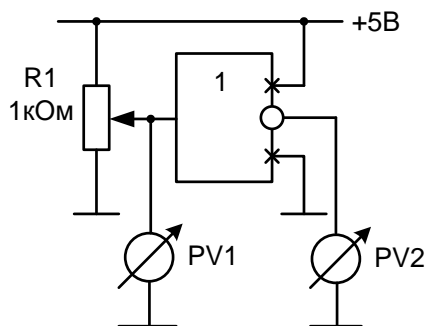


Рисунок 2.6 – Схема измерения АПХ

На рис. 2.7 показана схема соединений **миниблоков** и **блока мультиметров**, выполненная с помощью проводников комплекта лабораторного оборудования.

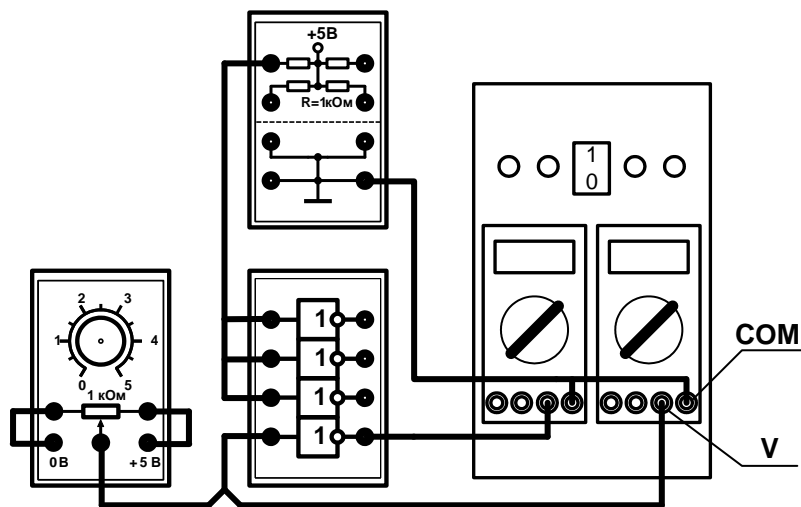


Рисунок 2.7 – Схема соединений миниблоков и мультиметра

**Б.** Изменяя положение движка потенциометра, устанавливать на входе логического элемента НЕ напряжение от 0 до 5 В с шагом примерно 0,1 В, измерять вольтметрами напряжение на входе и выходе логического элемента и заполнить таблицу 2.1.

Таблица 2.1

**АПХ элемента ТТЛ**

U <sub>вх</sub> , В	U <sub>вых</sub> , В

...

По данным таблицы в **Excel** построить график АПХ элемента и определить уровни  $U_0$ ,  $U_1$ , а также диапазоны их возможных значений.

**В.** Сопоставить экспериментальные данные с теоретическими и отразить в выводах.

**2.2.2. Определение логической функции элемента ТТЛ**

**А.** Установить на наборное поле миниблок с элементами И-НЕ. Входы логического элемента подключить к **Источнику логических сигналов ТТЛ** (рис. 2.8).

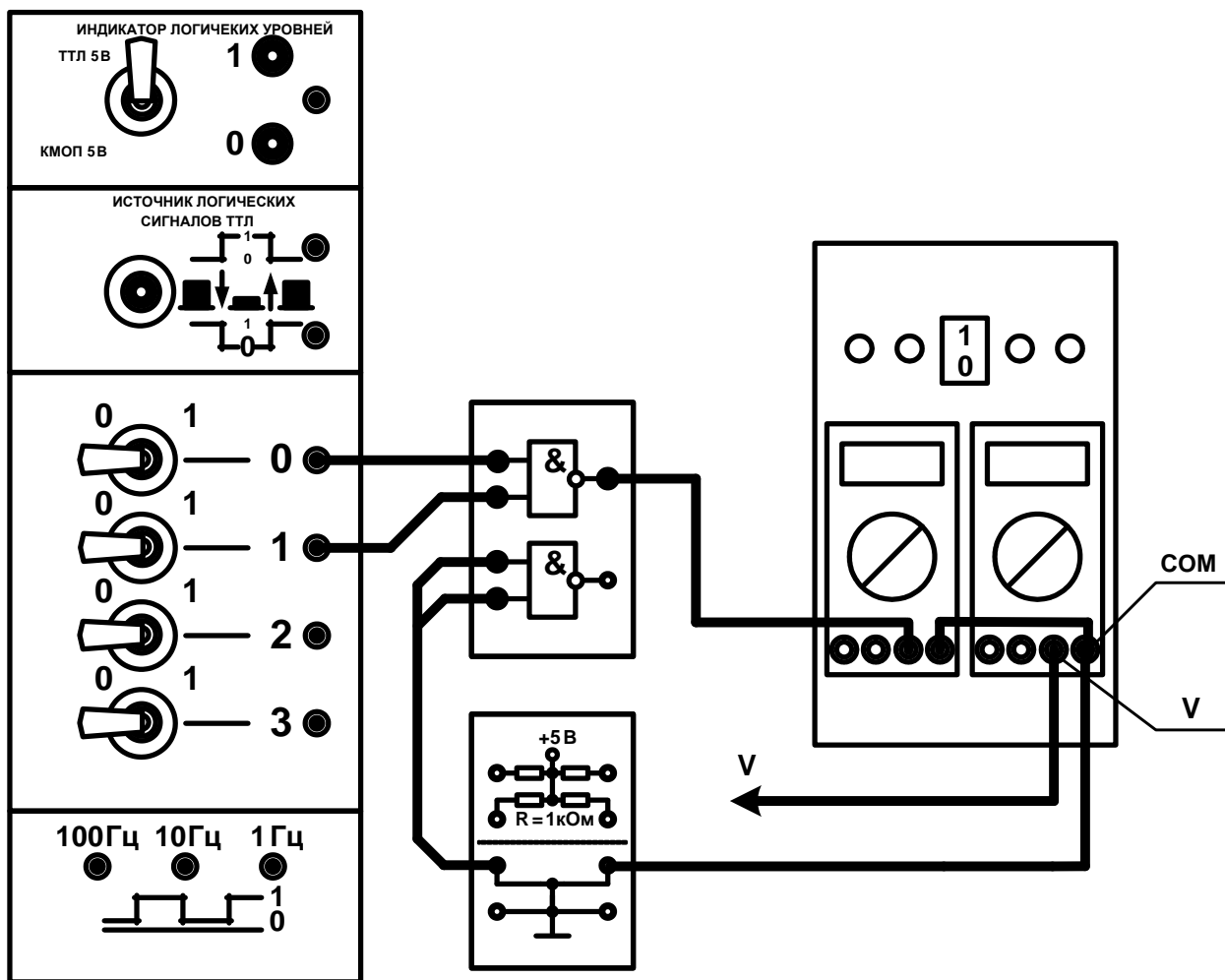


Рисунок 2.8 – Схема соединений элементов И-НЕ

Б. Для всех комбинаций высоких и низких уровней сигналов на входах измерить вольтметрами напряжения на входах и выходе элемента. Данные занести в таблицу 2.1.

Таблица 2.2

Таблица напряжений элемента ТТЛ

$U_{вх1}, В$	$U_{вх2}, В$	$U_{вых}, В$

...

Полагая, что низким уровнем напряжения кодируется логический ноль «0», а высоким - единица «1», по данным таблицы напряжений построить таблицу истинности элемента.

В. Сопоставить полученную экспериментально таблицу истинности элемента с теоретической и определить тип выполняемой логической функции; результаты отразить в выводах.

## Контрольные вопросы

1. Поясните способ кодирования информации в цифровой электронной технике.
2. Что такое цифровой логический элемент?
3. Что означает функционально полный набор элементов? Назовите такие наборы.
4. Нарисуйте схему логического элемента ТТЛ и поясните назначение элементов.
5. Что такое АПХ элемента? Нарисуйте и поясните АПХ инвертора ТТЛ.
6. Поясните принцип работы инвертора ТТЛ по АПХ.
7. Поясните принцип работы элемента ТТЛ при выполнении функций НЕ, И-НЕ, ИЛИ-НЕ.
8. Что такое зоны отображения нуля и единицы логических элементов?
9. Составьте таблицы истинности элементов НЕ, И, ИЛИ, И-НЕ, ИЛИ-НЕ.

### 3. ФУНКЦИИ БАЗОВЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

Цель работы: изучение функций базовых логических элементов ТТЛ; приобретение навыков работы с логическими элементами.

#### 3.1. Теоретические сведения

##### 3.1.1. Логические функции одной переменной

Возможны 4 варианта логических функций одной переменной  $y = f(x)$  (таблица 3.1).

Таблица 3.1

#### Логические функции одной переменной

Значения аргумента $x$	Значения функции			
	Константа 0 $f_0(x)$	Повторение $x$ $f_1(x)$	Отрицание $x$ $f_2(x)$	Константа 1 $f_3(x)$
0	0	0	1	1
1	0	1	0	1

Из приведенных в таблице функций практический интерес представляет функция  $y = f_2(x) = \bar{x}$  – **отрицание  $x$**  (инверсия  $x$ , «не  $x$ »). Данную функцию реализует миниблок 3 (рис. 1.4), содержащий четыре логических элемента. Обозначение элемента НЕ

$$x \text{ --- } \boxed{1} \text{ --- } y = \bar{x}$$

Инверсию обозначает окружность около выхода логического элемента.

##### 3.1.2. Логические функции двух переменных

Возможны 16 вариантов логических функций двух переменных  $y = f(x_0, x_1)$ , приведенные в таблице 3.2.

Таблица 3.2

#### Логические функции двух переменных

Аргументы		Функции $f(x_0, x_1)$															
$x_1$	$x_0$	$f_0$	$f_1$	$f_2$	$f_3$	$f_4$	$f_5$	$f_6$	$f_7$	$f_8$	$f_9$	$f_{10}$	$f_{11}$	$f_{12}$	$f_{13}$	$f_{14}$	$f_{15}$
0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
0	1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
1	0	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1

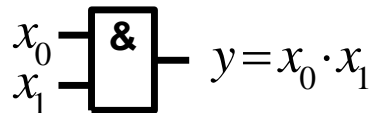


1	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
Название функции		Константа 0	Конъюнкция (И)					Неравнозначность (Исключающее ИЛИ)	Дизъюнкция (ИЛИ)	Стрелка Пирса (ИЛИ-НЕ)	Равнозначность					Штрих Шеффера (И-НЕ)	Константа 1

В лабораторных работах используются элементы, реализующие следующие функции двух переменных.

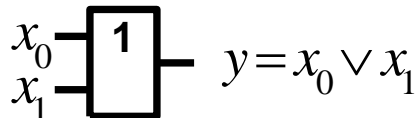
1. **Конъюнкция** (логическое умножение, логическое И)

$$y = f_1(x_0, x_1) = x_0 \cdot x_1$$



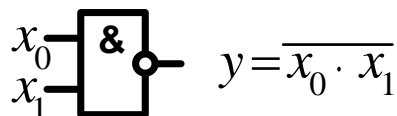
2. **Дизъюнкция** (логическое сложение, логическое ИЛИ)

$$y = f_7(x_0, x_1) = x_0 \vee x_1$$



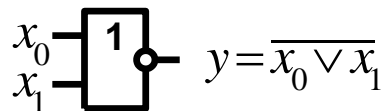
3. Функция **И-НЕ** (штрих Шеффера, отрицание И)

$$y = f_{14}(x_0, x_1) = \overline{x_0 \cdot x_1}$$



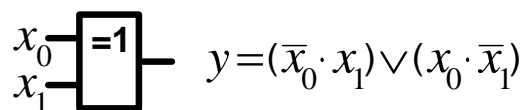
4. Функция **ИЛИ-НЕ** (стрелка Пирса, отрицание ИЛИ)

$$y = f_8(x_0, x_1) = \overline{x_0 \vee x_1}$$



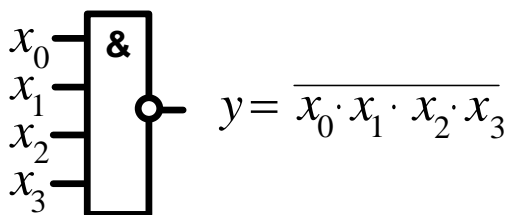
5. **Неравнозначность (исключающее ИЛИ, сложение по модулю 2)**

$$y = f_6(x_0, x_1) = \overline{(x_0 \cdot x_1)} \vee \overline{(x_0 \cdot \bar{x}_1)}$$



### 3.1.3 Логическая функция четырех переменных

В работах используется логический элемент, реализующий функцию И-НЕ четырех переменных  $y = f(x_0, x_1, x_2, x_3) = \overline{x_0 \cdot x_1 \cdot x_2 \cdot x_3}$



## 3.2. Порядок выполнения работы

### 3.2.1. Исследование логического элемента с одним входом

А. На наборном поле Блока испытания цифровых устройств установить миниблок с элементами И-НЕ и собрать схему на рис. 3.1.

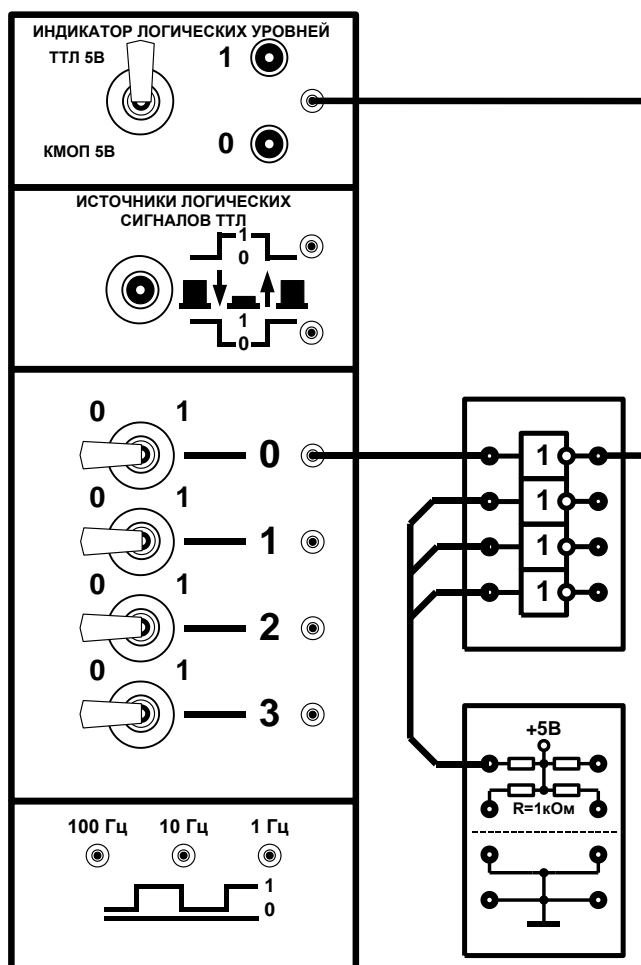


Рис. 3.1 – Схема соединений элементов И-НЕ

Входы трех неиспользуемых элементов миниблока подключить к одной из шин питания (на рисунке +5 В) через резистор.

Входной сигнал исследуемого логического элемента ( $x$ ) задавать тумблером **0**. Состояние выхода логического элемента определять по **индикатору логических уровней**. При этом переключатель индикатора логических уровней устанавливаются в положение **ТТЛ 5 В**.

Заполнить таблицу истинности 3.2 для исследуемого элемента

Таблица 3.3

### Экспериментальная таблица истинности элемента НЕ

$x$	0	1
$y = \bar{x}$		

**Б.** Сопоставить экспериментальные данные с теоретическими и отразить в выводах.

### 3.2.2. Исследование логических элементов с двумя входами

**А.** На наборном поле **Блока испытания цифровых устройств** установить миниблок с выбранными логическими элементами из группы **И**, **ИЛИ**, **И-НЕ**, **ИЛИ-НЕ**, **исключающее ИЛИ** и собрать схему на рис. 3.2.

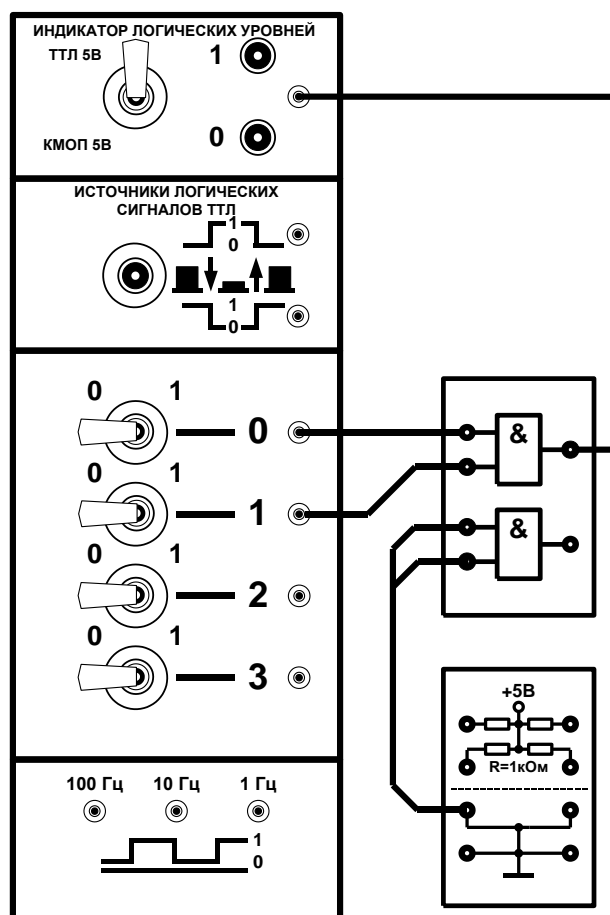


Рис. 3.2 – Схема соединений логических элементов

Входы неиспользуемого элемента подключить к общему проводу.

**Б.** Входной сигнал логического элемента ( $x$ ) задавать тумблерами **0** ( $x_0$ ) и **1** ( $x_1$ ). Состояние выхода исследуемого логического элемента  $y = f(x_0, x_1)$  определяют по индикатору логических уровней.

Заполнить таблицу истинности 3.4 для каждого типа элементов

Таблица 3.4

**Экспериментальная таблица истинности  
логического элемента на 2 входа**

$x_0$	0	1	0	1
$x_1$	0	0	1	1
$y = f(x_0, x_1)$				

**В.** Сопоставить таблицы истинности с теоретическими данными и отразить в выводах.

### **3.2.3. Исследование логического элемента с четырьмя входами**

**А.** На наборном поле **Блока испытания цифровых устройств** установить миниблок с выбранным логическим элементом **И-НЕ** и собрать схему, аналогичную схеме на рис. 3.2. При этом все входы логического элемента подключить к выходам **0-3 источника логических уровней**.

**Б.** Заполнить таблицу истинности для элемента на 4 входа.

**В.** Сопоставить таблицу истинности с теоретическими данными и отразить в выводах.

### **Контрольные вопросы**

1. Поясните способ кодирования информации в цифровой электронной технике.
2. Назовите базовые логические элементы и запишите выполняемые ими функции.
3. Назовите базовые логические элементы и приведите соответствующие им таблицы истинности.

## 4. КОМБИНАЦИОННЫЕ СХЕМЫ НА ОСНОВЕ БАЗОВЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ

Цель работы: изучение методики построения комбинационных схем на основе базовых логических элементов; приобретение навыков проектирования комбинационных схем.

### 4.1 Теоретические сведения

#### 4.1.1. Методика построения комбинационной схемы для заданной логической функции

**Комбинационной** называется схема, значение функции которой определяется только комбинацией значений входных переменных.

Рассмотрим методику построения схемы на примерах.

#### Пример 1.

Пусть необходимо составить логическую схему, реализующую функцию

$$y = \overline{(x_0 \vee x_1) \cdot x_2} \vee x_3. \quad (4.1)$$

Этой функции соответствуют изображенные на рис. 4.1 последовательность вычисления и логическая схема.

1. Операция дизъюнкция (ИЛИ)  $x_0$  и  $x_1$  выполняется элементом ИЛИ (1).
2. Операция конъюнкция (И) выражения в скобках  $(x_0 \vee x_1)$  (1) и переменной  $x_2$  выполняется элементом И (2).
3. Операция дизъюнкция (ИЛИ) выражения  $(x_0 \vee x_1) \cdot x_2$  и переменной  $x_3$ , с инверсией результата выполняются элементом ИЛИ-НЕ, совмещающим операции (3) и (4).

В общепринятом начертании логическая схема, реализующая заданную логическую функцию, имеет вид, показанный на рис. 4.2.

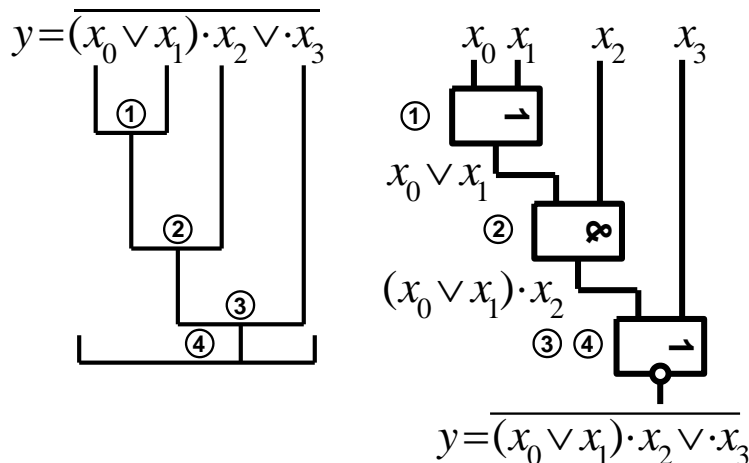


Рисунок 4.1 – Логическая функция, последовательность вычисления и схема

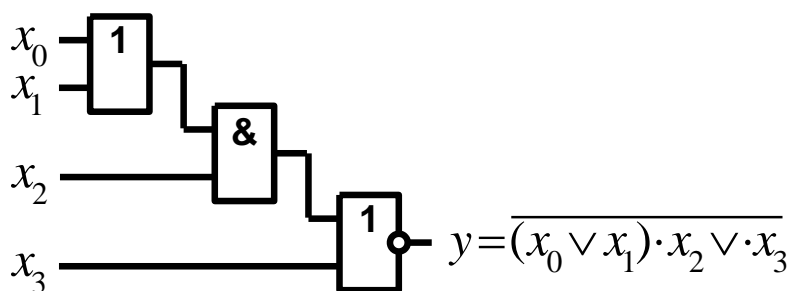


Рисунок 4.2 – Логическая схема, реализующая заданную функцию

Аналогично составляется логическая схема, реализующая любую другую логическую функцию.

### Пример 2.

Спроектируем комбинационную схему на основе базовых логических элементов **И**, **ИЛИ**, **НЕ** для формирования одного разряда суммы при арифметическом сложении младших разрядов двух многоразрядных двоичных чисел. Принятые при построении схемы обозначения логических переменных показаны на рис. 4.3.

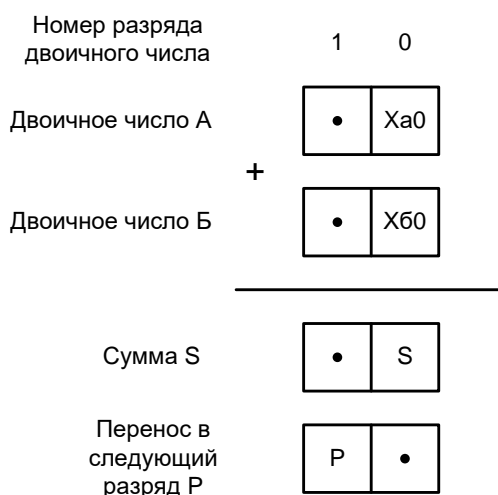


Рисунок 4.3 – Обозначения логических переменных

Исходя из логики сложения двоичных чисел, для разряда суммы  $S$  и переноса  $P$  в следующий разряд может быть составлена таблица истинности 4.1.

Таблица 4.1

**Таблица истинности**

Xa0	Xb0	S	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Как видно, для сложения двух одноименных разрядов двоичных чисел потребуются две комбинационные логические схемы – для формирования суммы  $S$  и переноса  $P$ , имеющие два входа для подачи сигналов, соответствующих складываемым младшим разрядам двух двоичных чисел. По данным таблицы истинности можно записать логические функции, выполняемые этими схемами

$$S = \overline{x_{a0}} \cdot x_{b0} \vee x_{a0} \cdot \overline{x_{b0}}, \quad (4.2)$$

$$P = x_{a0} \cdot x_{b0}. \quad (4.3)$$

Логическим функциям соответствует схема на элементах **И**, **ИЛИ**, **НЕ**, представленная на рис. 4.4.

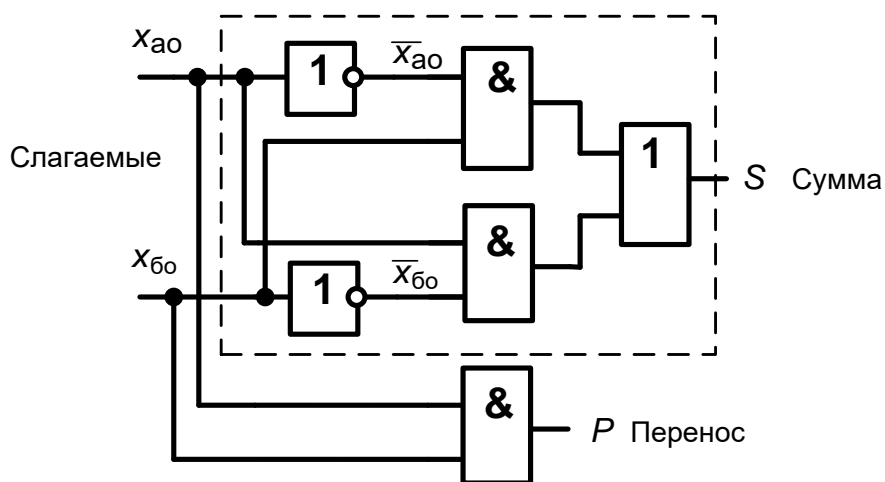


Рисунок 4.4 – Схема сложения младших разрядов двух двоичных чисел

Схему можно упростить, используя базовый логический элемент **исключающее ИЛИ** (рис. 4.5). Именно этому логическому элементу соответствует логическая функция для суммы  $S$  и схема, выделенная пунктирной линией на рис. 4.4.

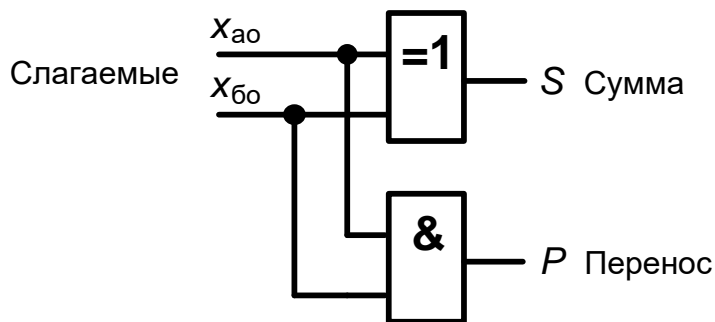


Рисунок 4.5 – Схема полусумматора

Схема на рис. 4.5 получила название полусумматора. Одноразрядные полусумматор и сумматор рассмотрены в одном из последующих разделов пособия.

## 4.2. Порядок выполнения работы

### 4.2.1. Исследование комбинационной схемы с заданной логической функцией

**А.** На наборном поле блока испытания цифровых устройств установить миниблоки с элементами **ИЛИ**, **И**, **ИЛИ-НЕ** и собрать схему на рис. 4.3.

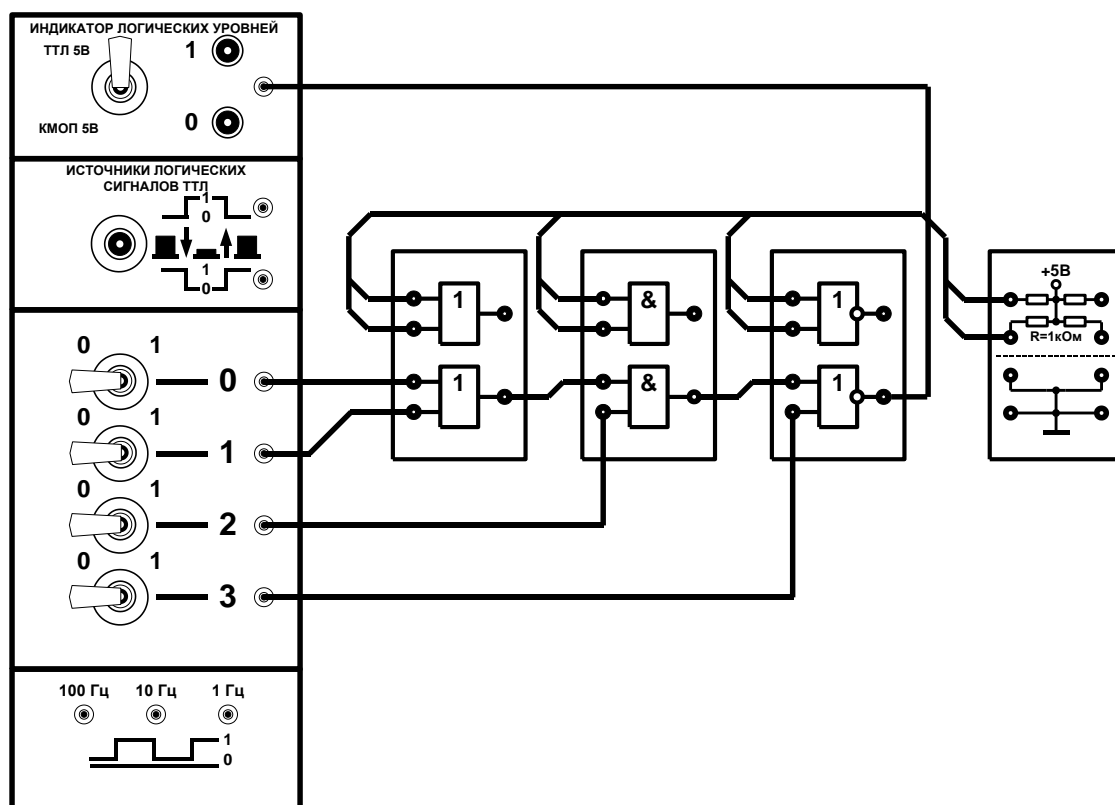


Рисунок 4.3 – Схема соединения миниблоков

**Б.** Входные сигналы логической функции  $x_0, x_1, x_2, x_3$  задавать тумблерами **0, 1, 2** и **3** с номерами, соответствующими индексам переменных. Значение логической функции на выходе цепи  $y = f(x_0, x_1, x_2, x_3) = \overline{(x_0 \vee x_1)} \cdot x_2 \vee x_4$  определяют по **индикатору логических уровней**. Переключатель индикатора логических уровней устанавливают в положение «ТТЛ 5 В». Входы неиспользуемых элементов подключают к шинам питания **+5 В** через резистор.

Для всех комбинаций входных сигналов определить значение функции и заполнить таблицу истинности 4.2.



**Экспериментальная таблица истинности схемы**

$x_0$	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
$x_1$	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
$x_2$	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
$x_3$	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
$y = f(x_0, x_1, x_2, x_3)$																

**В.** Сопоставить таблицу истинности с теоретическими данными, полученными на основе анализа исходной булевой функции. Результаты отразить в выводах.

**4.2.2. Исследование комбинационной схемы полусумматора**

**А.** На наборном поле **блока испытания цифровых устройств** последовательно собрать схемы на рис. 4.4 и рис. 4.5 и подключить входы к источнику логических сигналов, а выходы – к индикатору логических уровней.

**Б.** Для каждой схемы составить таблицы истинности для выходов  $S$  и  $P$ .

**В.** Сравнить результаты с теоретическими и отразить в выводах.

**Контрольные вопросы**

1. Поясните методику построения комбинационной схемы по заданной логической функции.
2. Спроектируйте схемы для выполнения логических функций  

$$y = f(x_0, x_1, x_2, x_3) = x_0 \cdot x_1 \vee x_3 \cdot x_4, \quad y = f(x_0, x_1, x_2, x_3) = (\overline{x_0} \vee x_1) \cdot (x_3 \vee x_4)$$
3. Спроектируйте комбинационную логическую схему для заданной таблицы истинности.
4. Спроектируйте комбинационную логическую схему для функции, представленной кубическим комплексом.

## 5. ЗАКОНЫ АЛГЕБРЫ ЛОГИКИ В КОМБИНАЦИОННЫХ СХЕМАХ

Цель работы: изучение основных законов алгебры логики и их применения в цифровой схемотехнике; приобретение навыков проектирования комбинационных схем.

### 5.1. Теоретические сведения

Законы алгебры логики могут быть представлены в виде равенств аналитических функций. Эти функции реализуются в виде логических схем (табл. 5.1 – 5.9). Выполнение логических функций схемами проверяется в ходе эксперимента. Экспериментально заполняют таблицы истинности логических функций левой и правой части равенства. Сравнивая эти таблицы, убеждаются в справедливости равенства и закона логики.

Таблица 5.1

#### Переместительный закон

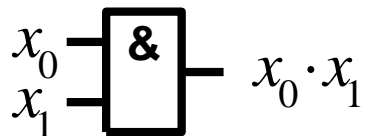
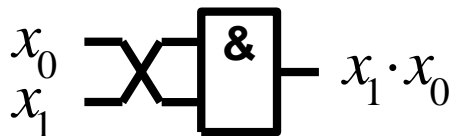
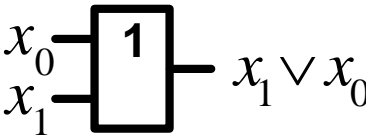
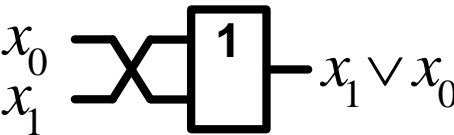
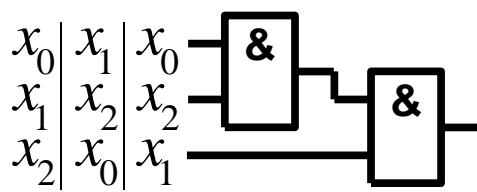
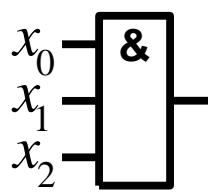
	Аналитическое выражение	Логическая схема	
		Левая часть равенства	Правая часть равенства
Конъюнкция	$x_0 \cdot x_1 = x_1 \cdot x_0$		
Дизъюнкция	$x_0 \vee x_1 = x_1 \vee x_0$		

Таблица 5.2

#### Сочетательный закон

	Аналитическое выражение	Логическая схема	
		Левая часть равенства	Правая часть равенства
Конъюнкция	$(x_0 \cdot x_1) \cdot x_2 = x_0 \cdot (x_1 \cdot x_2) = (x_0 \cdot x_2) \cdot x_1 = x_0 \cdot x_1 \cdot x_2$		

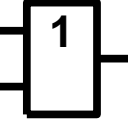
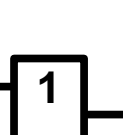

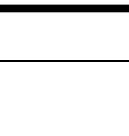
Дизъюнкция	$(x_0 \vee x_1) \vee x_2 = x_0 \vee (x_1 \vee x_2) =$ $= (x_0 \vee x_2) \vee x_1 = x_0 \vee x_1 \vee x_2$	$x_0$   $x_1$   $x_0$ —  —  —	$x_0$ —  — $x_1$ — $x_2$ —
		$x_1$   $x_2$   $x_2$ —  — $x_2$   $x_0$   $x_1$ —	

Таблица 5.3

### Распределительный закон

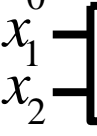


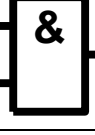
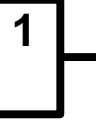
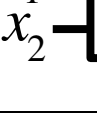



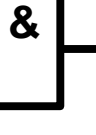
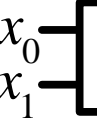
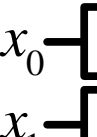

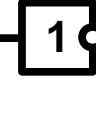
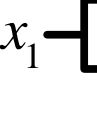
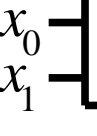

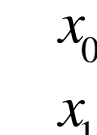

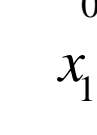
	Аналитическое выражение	Логическая схема	
		Левая часть равенства	Правая часть равенства
Конъюнкция	$x_0 \cdot (x_1 \vee x_2) =$ $= x_0 \cdot x_1 \vee x_0 \cdot x_2$	$x_0$ —  —  — $x_1$ — $x_2$ —	$x_0$ —  —  —  — $x_1$ — $x_2$ —
Дизъюнкция	$x_0 \vee (x_1 \cdot x_2) =$ $= (x_0 \vee x_1) \cdot (x_0 \vee x_2)$	$x_0$ —  —  — $x_1$ — $x_2$ —	$x_0$ —  —  —  — $x_1$ — $x_2$ —

Таблица 5.4

### Закон инверсии (закон де Моргана)

	Аналитическое выражение	Логическая схема	
		Левая часть равенства	Правая часть равенства
Конъюнкция	$x_0 \cdot x_1 = \overline{\overline{x_0 \vee x_1}}$	$x_0$ —  — $x_1$ —	$x_0$ —  —  —  — $x_1$ —  —
	$\overline{x_0 \cdot x_1} = \overline{x_0} \vee \overline{x_1}$	$x_0$ —  —  — $x_1$ —	$x_0$ —  —  — $x_1$ —  —

Дизъюнкция	$x_0 \vee x_1 = \overline{\overline{x_0} \cdot \overline{x_1}}$		
	$\overline{x_0 \vee x_1} = \overline{x_0} \cdot \overline{x_1}$		

Таблица 5.5

### Закон повторения

	Аналитическое выражение	Логическая схема
Конъюнкция	$x \cdot x \cdot x \cdot \dots \cdot x = x$	
Дизъюнкция	$x \vee x \vee \dots \vee x = x$	

Таблица 5.6

### Закон двойного отрицания

Аналитическое выражение	Логическая схема
$\overline{\overline{x}} = x$	

Таблица 5.7

**Закон склеивания**

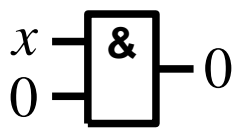
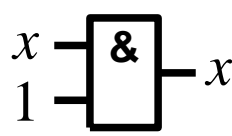
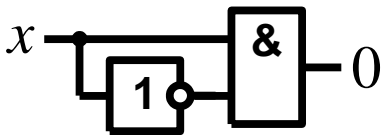
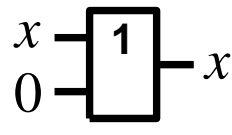
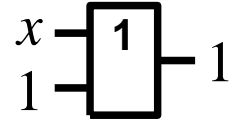
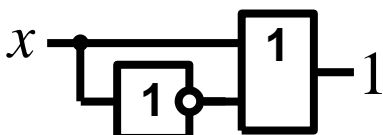
	Аналитическое выражение	Логическая схема
Конъюнкция	$(x_0 \vee x_1) \cdot (x_0 \vee \bar{x}_1) = x_0$	
Дизъюнкция	$x_0 \cdot x_1 \vee x_0 \cdot \bar{x}_1 = x_0$	

Таблица 5.8

**Законы поглощения**

Аналитическое выражение	Логическая схема	
	Левая часть равенства	Правая часть равенства
$x_0 \cdot (x_0 \vee x_1) = x_0$		
$x_0 \cdot (\bar{x}_0 \vee x_1) = x_0 \cdot x_1$		
$x_0 \vee x_0 \cdot x_1 = x_0$		
$x_0 \vee \bar{x}_0 \cdot x_1 = x_0 \vee x_1$		

## Соотношения с 0 и 1

	Аналитическое выражение	Логическая схема
Конъюнкция	$x_0 \cdot 0 = 0$	
	$x_0 \cdot 1 = x_0$	
	$x_0 \cdot \overline{x_0} = 0$	
Дизъюнкция	$x_0 \vee 0 = x_0$	
	$x_0 \vee 1 = 1$	
	$x_0 \vee \overline{x_0} = 1$	

## 5.2. Порядок выполнения работы

**А.** На наборном поле **Блока испытания цифровых устройств** с использованием миниблоков собрать заданную логическую схему из табл. 5.1–5.9. Логические схемы собирать из набора миниблоков и подключать к источнику и индикатору логических уровней (рис. 5.1).

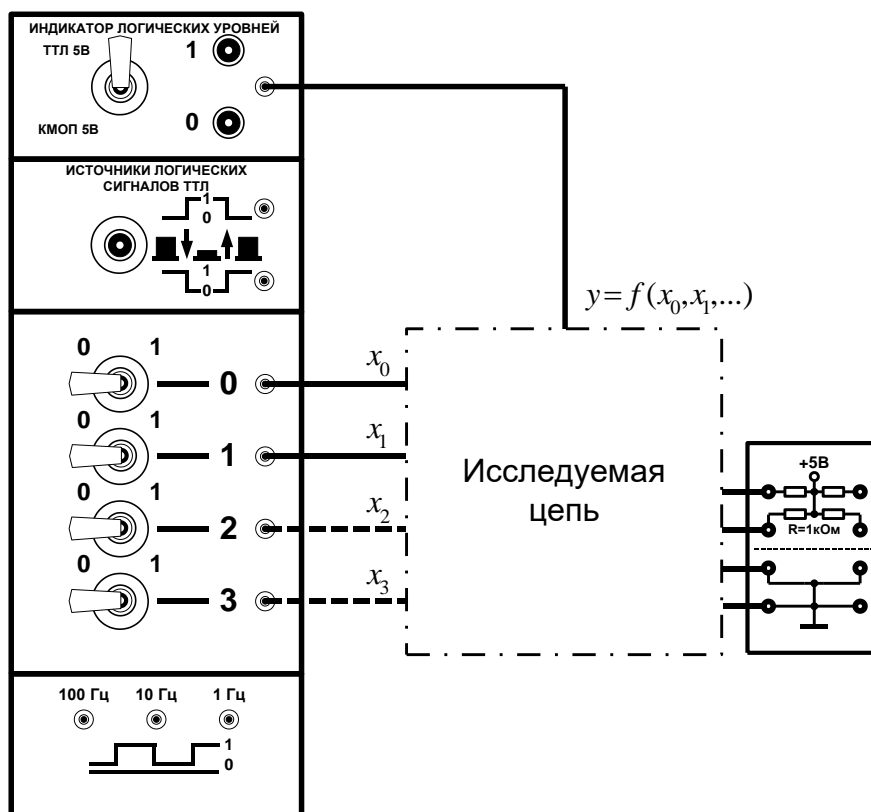


Рисунок 5.1 – Схема соединений при изучении законов логики

**Б.** Входные сигналы логической функции  $x_0$ ,  $x_1$ ,  $x_2$ ,  $x_3$  задавать тумблерами **0**, **1**, **2** и **3**, с номерами, соответствующими индексам переменных. Значение логической функции на выходе цепи  $y = f(x_0, x_1, \dots)$  определять по индикатору логических уровней. Переключатель индикатора логических уровней установить в положение «ТТЛ 5 В». Входы неиспользуемых элементов подключают к шинам питания 0 или +5 В, как показано на рис. 5.1.

Для каждой заданной схемы составить экспериментальную таблицу истинности (табл. 5.10–5.12).

Таблица 5.10

**Таблица истинности для логической функции двух переменных**

$x_0$	0	1	0	1
$x_1$	0	0	1	1
$y = f(x_0, x_1)$				

Таблица 5.11

**Таблица истинности для логической функции трех переменных**

$x_0$	0	1	0	1	0	1	0	1
$x_1$	0	0	1	1	0	0	1	1
$x_2$	0	0	0	0	1	1	1	1
$y = f(x_0, x_1, x_2)$								

Таблица 5.12

**Таблица истинности для логической функции четырех переменных**

$x_0$	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
$x_1$	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
$x_2$	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
$x_3$	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
$y = f(x_0, x_1, x_2, x_3)$																

**В.** Сопоставить таблицы истинности между собой и с аналитическими выражениями для функций и установить справедливость законов логики. Результаты отразить в выводах.

### Контрольные вопросы

1. Запишите аналитическое выражение для каждого закона логики и составьте соответствующую ему схему на логических элементах.
2. Для схем, представленных в таблицах 5.1.1 ... 5.1.3 составьте таблицы истинности, исходя из логики работы элементов.
3. Используя закон де Моргана, покажите как выполнить логическую функцию И-НЕ с помощью элементов ИЛИ-НЕ и наоборот.
4. Преобразуйте заданную логическую схему с элементами И, ИЛИ, НЕ в схему с элементами И-НЕ, ИЛИ-НЕ.



## 6. ОДНОРАЗРЯДНЫЕ ПОЛУСУММАТОР И СУММАТОР

Цель работы: изучение схемотехники и принципа работы одноразрядных полусумматора и сумматора.

### 6.1. Теоретические сведения

**Сумматор** – комбинационная схема, выполняющая арифметическое сложение двоичных чисел. В работе изучаются одноразрядные полусумматор и сумматор.

**Полусумматор** предназначен для сложения кодов младших разрядов двух многоразрядных двоичных чисел и имеет два входа для складываемых разрядов и два выхода, на которых формируется результат сложения – сумма и перенос. Логические функции для выходов полусумматора имеют вид:

$$s = (\bar{x}_0 \cdot x_1) \vee (x_0 \cdot \bar{x}_1) = x_0 \oplus x_1, \quad (6.1)$$

$$p = x_0 \cdot x_1, \quad (6.2)$$

где  $x_0$  и  $x_1$  – разряды слагаемых;  $s$  – сумма  $x_0$  и  $x_1$  по модулю 2 (функция исключающее ИЛИ);  $p$  – перенос в старший разряд (функция И).

Комбинационная схема полусумматора представлена на рис. 6.1.

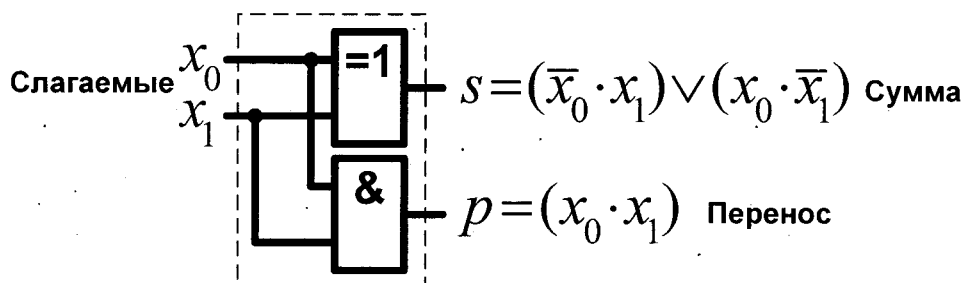


Рисунок 6.1 – Схема полусумматора

**Полный одноразрядный двоичный сумматор** предназначен для сложения кодов любых одноименных разрядов двух двоичных чисел. Имеет два входа для подачи кодов разрядов складываемых чисел и вход для подачи кода переноса из предыдущего (более младшего) разряда. Результат сложения формируется на выходе суммы, соответствующем разряду складываемых чисел, и на выходе переноса в более старший разряд по отношению к складываемым разрядам. Логическая функция одноразрядного сумматора имеет вид:

$$s = (x_0 \oplus x_1) \oplus p_i, \quad (6.3)$$

$$p_{i+1} = x_0 x_1 \vee p_i (x_0 \oplus x_1), \quad (6.4)$$

где  $x_0, x_1$  – одноименные разряды складываемых чисел;  $s$  – сумма  $x_0$  и  $x_1$  с учетом переноса из предыдущего разряда  $p_i$ ;  $p_{i+1}$  – перенос в следующий (старший) разряд.

Логическая схема сумматора представлена на рис. 6.2.

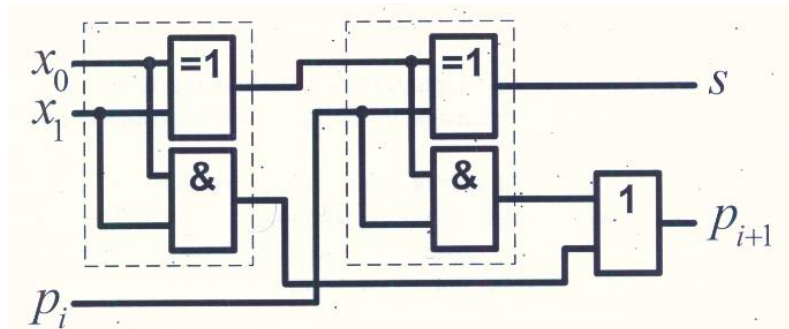


Рисунок 6.2 – Схема сумматора

## 6.2. Порядок выполнения работы

### 6.2.1. Исследование полусумматора

**А.** На наборном поле **Блока испытания цифровых устройств** с использованием миниблоков собрать логическую схему рис. 6.1 и подключить к источнику логических уровней блока испытания и миниблоку индикатору суммы и переноса (рис. 6.3).

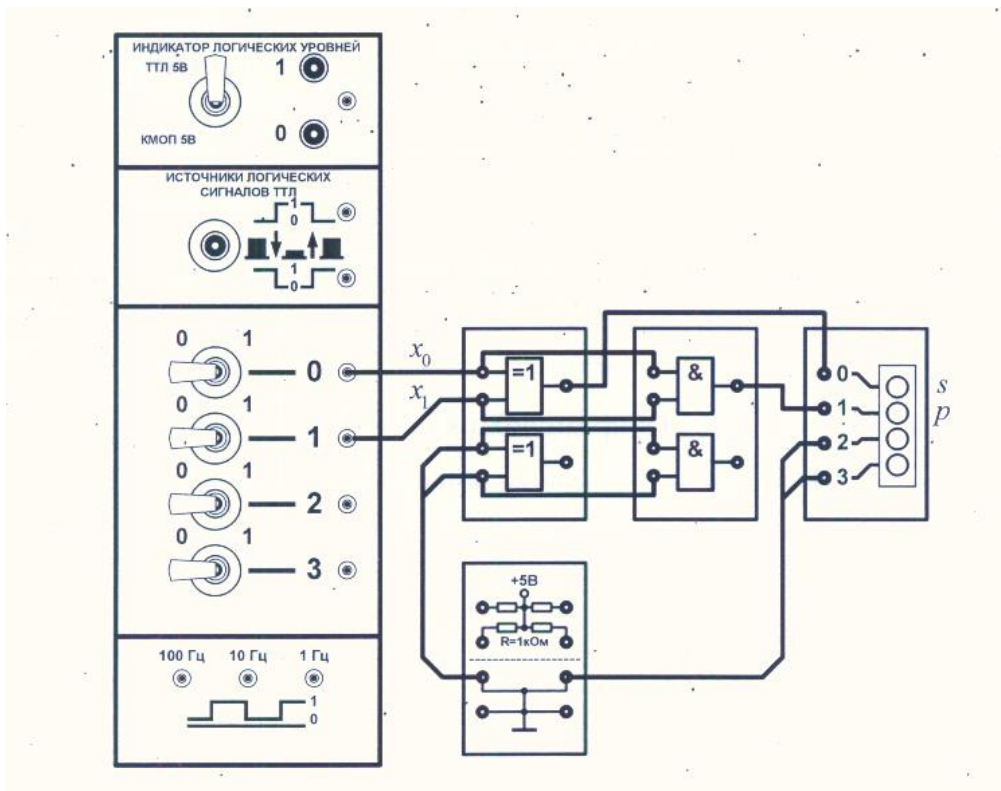


Рисунок 6.3 – Схема соединений полусумматора

Б. Для всех комбинаций значений переменных  $x_0$  и  $x_1$  определить значения суммы  $s$  и переноса  $p$ . Заполнить таблицу истинности 6.1.

Таблица 6.1

**Экспериментальная таблица истинности полусумматора**

$x_0$	0	1	0	1
$x_1$	0	0	1	1
$s$				
$p$				

В. Сопоставить экспериментальные данные с логическими функциями полусумматора и отразить в выводах.

**6.2.2. Исследование сумматора**

А. На наборном поле **Блока испытания цифровых устройств** с использованием миниблоков собрать логическую схему рис. 6.2 и подключить к источнику логических уровней блока испытания и миниблоку – индикатору суммы и переноса (рис. 6.4).

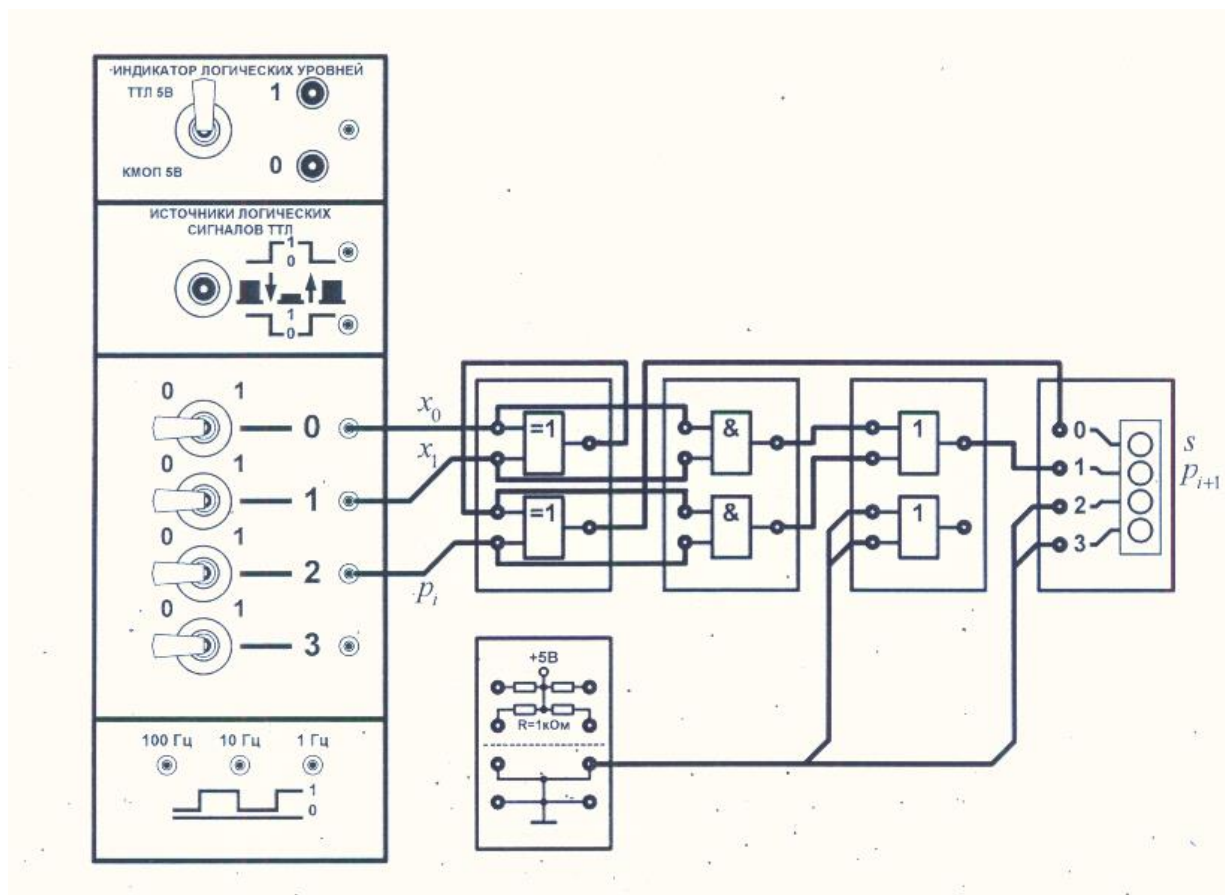


Рисунок 6.4 – Схема соединений сумматора

**Б.** Для всех комбинаций значений переменных  $x_0$ ,  $x_1$  и переноса  $p_i$  определить значения суммы  $s$  и переноса  $p_{i+1}$ . Заполнить таблицу истинности 6.2.

Таблица 6.2

**Экспериментальная таблица истинности сумматора**

$x_0$	0	1	0	1	0	1	0	1
$x_1$	0	0	1	1	0	0	1	1
$p_i$	0	0	0	0	1	1	1	1
$s$								
$p_{i+1}$								

**В.** Сопоставить экспериментальные данные с логическими функциями сумматора и отразить в выводах.

**Контрольные вопросы**

1. Дайте определения сумматора и полусумматора. Чем отличается сумматор от полусумматора?
2. Какие арифметические и логические функции выполняют полусумматор и сумматор?
3. Нарисуйте схему на основе логических элементов для сложения двух двухразрядных двоичных чисел.
4. Нарисуйте схему для сложения двух десятичных чисел 2 и 1 в двоичном коде.

## 7. ПРЕОБРАЗОВАТЕЛЬ КОДА И ДЕШИФРАТОР

Цель работы: изучение принципа работы преобразователя кода и дешифратора.

### 7.1. Теоретические сведения

**Преобразователь кода** – комбинационное устройство, предназначенное для изменения вида кодирования информации, т. е. каждой комбинации «0» и «1» на входах устройства соответствует строго определенная другая комбинация «0» и «1» на выходах устройства. По каждому выходу преобразователя выполняется своя заданная логическая функция.

В работе исследуются два типа преобразователей

- **дешифратор** – преобразователь двоичного кода в позиционный код: каждому двоичному числу на входе соответствует выходной сигнал строго на одном выходе устройства. Дешифратор активирует выход, определяемый входным кодом;
- **преобразователь двоично-десятичного кода** в код управления семи-сегментным знакосинтезирующим индикатором.

Обозначение дешифратора в схемах приведено на рис. 7.1

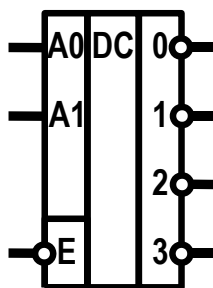


Рисунок 7.1 – Обозначение дешифратора на схемах

Номер активного выхода дешифратора задается двоичным числом на входах A0, A1. При сигнале «0» на входе разрешения E, выбранный выход переходит в состояние «0» (низкий уровень логического сигнала). На всех остальных выходах сохраняется «1» (высокий уровень логического сигнала). При «1» на входе разрешения E дешифратор блокируется: все выходы остаются в состоянии «1» независимо от сигналов на входах A0, A1. В качестве дешифратора используется микросхема 1533ИД14 (74ALS139).

Преобразователь двоично-десятичного кода в код управления семи-сегментным знакосинтезирующим индикатором выполнен на микросхеме 74НСТ4511 (CD4511) и нагружен на светодиодный индикатор с общим катодом

(катоды светодиодов сегментов индикатора соединены между собой и подключены к общему проводу). Схема миниблока и обозначения сегментов индикатора приведены на рис. 7.2.

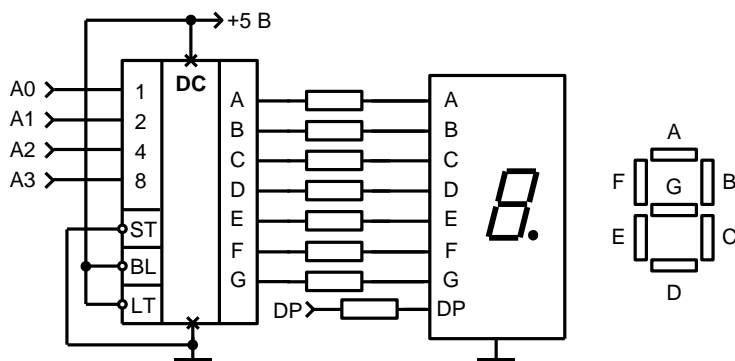


Рисунок 7.2 – Схема миниблока индикатора

В соответствии с двоичным числом на входах  $A_0, \dots, A_3$  появляется высокий потенциал на выходах  $A, \dots, G$ , обеспечивающий включение необходимых сегментов индикатора, как показано на рис.7.3



Рисунок 7.3 – Соответствие двоичных кодов и сегментов индикатора

Для включения десятичной точки необходимо подать на вход DP напряжение +5 В.

## 7.2. Порядок выполнения работы

### 7.2.1 Исследование дешифратора

**А.** На наборном поле Блока испытания цифровых устройств с использованием миниблоков собрать схему дешифратора с индикатором и подключить к источнику логических уровней блока испытания рис. 7.4.

**Б.** Для всех комбинаций сигналов на входах дешифратора определить активизируемые выходы и заполнить таблицу истинности 7.1.

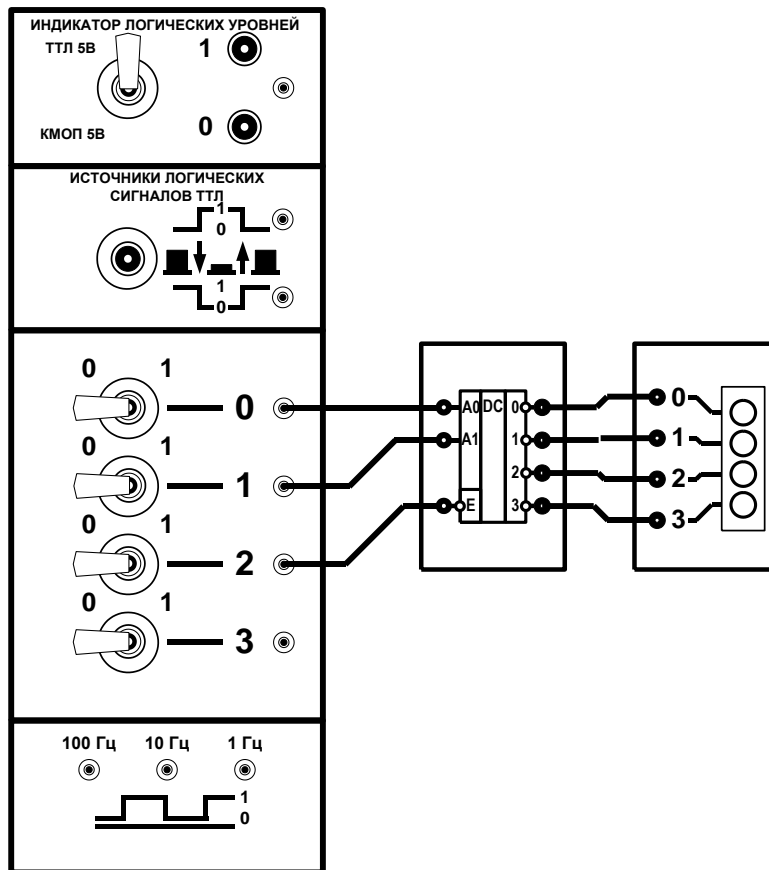


Рисунок 7.4 – Схема соединений дешифратора

Таблица 7.1

**Экспериментальная таблица истинности дешифратора**

Входы	A0	0	1	0	1	0	1	0	1
	A1	0	0	1	1	0	0	1	1
	E	0	0	0	0	1	1	1	1
Выходы	0								
	1								
	2								
	3								

**В.** По таблице истинности определить уровень активируемого выхода дешифратора и отразить в выводах.

**7.2.2. Исследование преобразователя кода в код семисегментного индикатора**

**А.** На наборном поле **Блока испытания цифровых устройств** установить миниблок светодиодного индикатора десятичного числа с преобразователем кода и подключить к источнику логических уровней блока испытания (рис. 7.5).

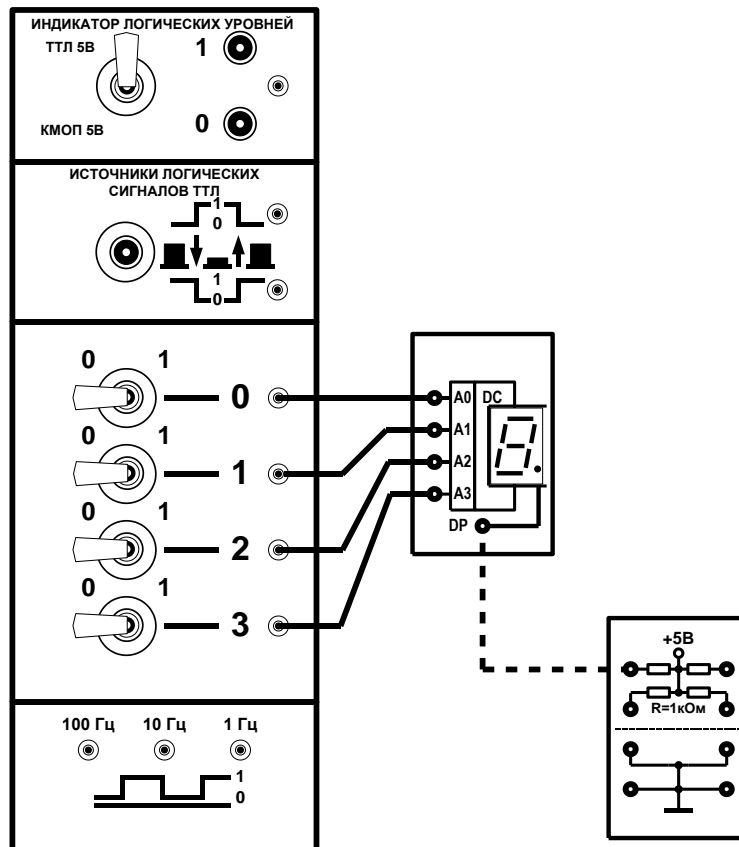


Рисунок 7.5 – Схема соединений миниблока светодиодного индикатора

Пунктиром показано подключение десятичной разрядной точки к напряжению +5 В. Подключение используется при необходимости.

Б. Для всех комбинаций сигналов на входах индикатора определить состояние светодиодов сегментов индикатора и заполнить таблицу 7.2 истинности, имея в виду, что включенному сегменту индикатора соответствует 1 на выходе преобразователя кодов.

Таблица 7.2

Таблица истинности схемы

Входы	A0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
	A1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
	A2	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
	A3	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
Выходы	A																
	B																
	C																
	D																
	E																
	F																
	G																



**В.** Сопоставить результаты эксперимента с функцией преобразователя кода и отразить в выводах.

### **Контрольные вопросы**

1. Что такое преобразователь кода и дешифратор?
2. Для любого выбранного выхода дешифратора запишите логическую функцию.
3. Для чего предназначен семисегментный индикатор?
4. Запишите логическую функцию схемы преобразователя кода с индикатором для любого выбранного сегмента индикатора.
5. Разработайте логическую схему для любого выбранного выхода дешифратора или преобразователя двоичного кода в код для любого сегмента семисегментного индикатора.

## 8. МУЛЬТИПЛЕКСОР И ДЕМУЛЬТИПЛЕКСОР

Цель работы: изучение принципа работы мультиплексора и демультимплексора.

### 8.1. Теоретические сведения

**Мультиплексор** – устройство в виде комбинационной схемы, подключающее один из информационных входов  $D_0, \dots, D_3$  к единственному выходу, т. е. «переключатель, коммутатор». Номер выбранного входа задается двоичным числом на входах адреса  $A_0$  и  $A_1$  (рис. 8.1).

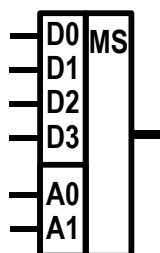


Рисунок 8.1 – Обозначение мультиплексора на схемах

С помощью мультиплексора можно также реализовать произвольную логическую функцию с числом аргументов, равным числу адресных входов. Показанный на рисунке мультиплексор позволяет реализовать любую логическую функцию двух переменных  $y = f(x_0, x_1)$ . При этом адресные входы необходимо рассматривать как аргументы функции ( $A_0 = x_0, A_1 = x_1$ ), а на входах  $D_0, \dots, D_3$  установить 0 и 1, соответствующие реализуемой функции. Все возможные варианты логических функций двух переменных сведены в таблицу

Таблица 8.1

#### Варианты логических функций двух переменных

Аргумент $x_0$ ( $A_1$ )		0	1	0	1	Название функции
Аргумент $x_1$ ( $A_0$ )		0	0	1	1	
Входы мультиплексора		$D_0$	$D_1$	$D_2$	$D_3$	
Функции	$f_0(x_0, x_1)$	0	0	0	0	Константа 0
	$f_1(x_0, x_1)$	0	0	0	1	Конъюнкция (И)
	$f_2(x_0, x_1)$	0	0	1	0	
	$f_3(x_0, x_1)$	0	0	1	1	
	$f_4(x_0, x_1)$	0	1	0	0	
	$f_5(x_0, x_1)$	0	1	0	1	
	$f_6(x_0, x_1)$	0	1	1	0	Неравнозначность (Исключающее ИЛИ)

	$f_7(x_0, x_1)$	0	1	1	1	Дизъюнкция (ИЛИ)
	$f_8(x_0, x_1)$	1	0	0	0	Стрелка Пирса (ИЛИ-НЕ)
	$f_9(x_0, x_1)$	1	0	0	1	Равнозначность (Исключающее ИЛИ-НЕ)
	$f_{10}(x_0, x_1)$	1	0	1	0	
	$f_{11}(x_0, x_1)$	1	0	1	1	
	$f_{12}(x_0, x_1)$	1	1	0	0	
	$f_{13}(x_0, x_1)$	1	1	0	1	
	$f_{14}(x_0, x_1)$	1	1	1	0	Штрих Шеффера (И-НЕ)
	$f_{15}(x_0, x_1)$	1	1	1	1	Константа 1

Чаще мультиплексор используют в качестве коммутатора цифровых линий – устройства, подключающего одну из нескольких входных цифровых линий к единственной выходной линии.

**Демультимплексор** – устройство, у которого сигнал с единственного входа подается на один из его выходов. Номер выхода определяется двоичным числом на входах адреса. Обозначение мультиплексора приведено на рис. 8.2, а.

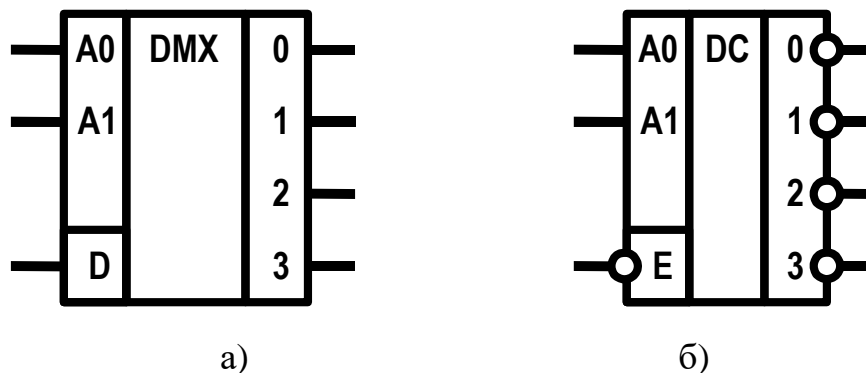


Рисунок 8.2 – Обозначение демультимплексора (а) и дешифратора (б) на схемах

В работе в качестве демультимплексора используется дешифратор со входом разрешения E (рис. 8.2, б). Адрес одного из выходов  $0, \dots, 3$  определяет двоичное число на адресных входах A0 (младший разряд числа) и A1 (старший разряд числа). В качестве информационного входа демультимплексора используется вход разрешения E дешифратора: сигнал на выбранном выходе повторяет сигнал на входе E. На других выходах сохраняется «1».

## 8.2. Порядок выполнения работы

### 8.2.1. Исследование мультиплексора

А. На наборном поле **Блока испытания цифровых устройств** установить миниблок мультиплексора и подключить адресные входы к источнику логических уровней блока испытания, а информационный выход – к индикатору логических уровней (рис. 8.3).

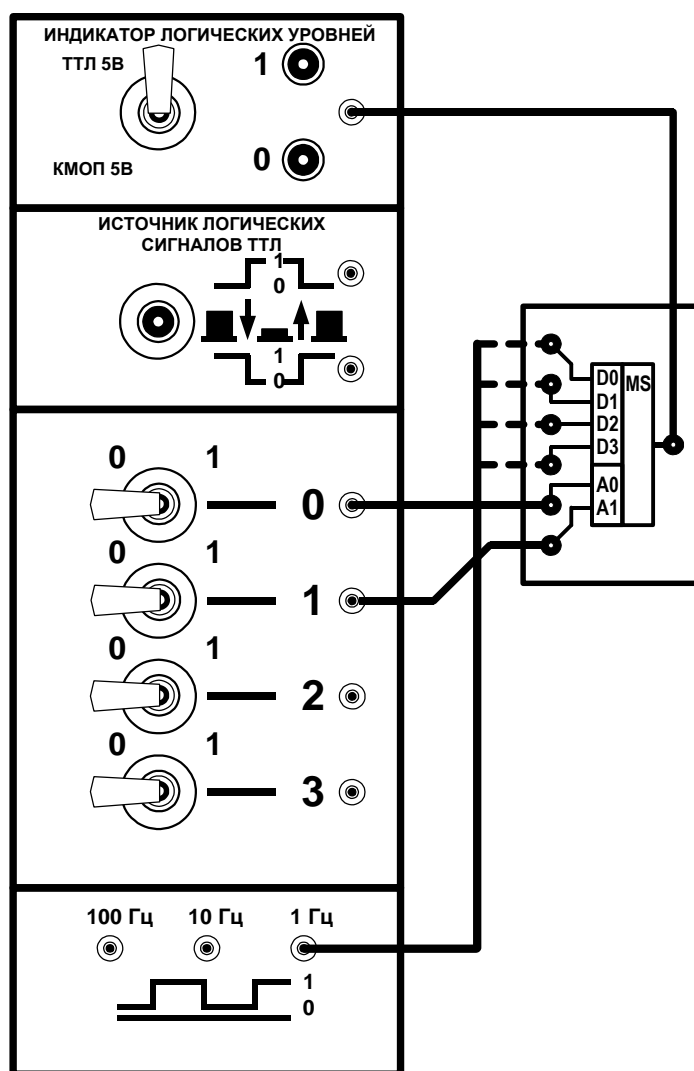


Рисунок 8.3 – Схема соединений миниблока мультиплексора

Б. Один из информационных входов мультиплексора  $D_0, \dots, D_3$  подключить к источнику импульсных сигналов с частотой следования **1 Гц**. Переключая тумблеры **0** и **1**, подключенные к адресным входам  $A_0$  и  $A_1$ , определить код адреса, при котором на выходе мультиплексора появляется импульсный сигнал. Сигнал на выходе мультиплексора фиксировать индикатором логических уровней.

**В.** Сопоставить код адреса входа мультиплексора с его номером на схеме, результат отразить в выводах.

### 8.2.2. Исследование демультимплексора

**А.** На наборном поле **Блока испытания цифровых устройств** установить миниблок дешифратора (используется как демультимплектор) и подключить адресные входы А1, А2 к источнику логических уровней блока испытания, информационный вход Е – к генератору импульсных сигналов **1 Гц**, а информационные выходы – к миниблоку индикаторов логических уровней (рис. 8.4).

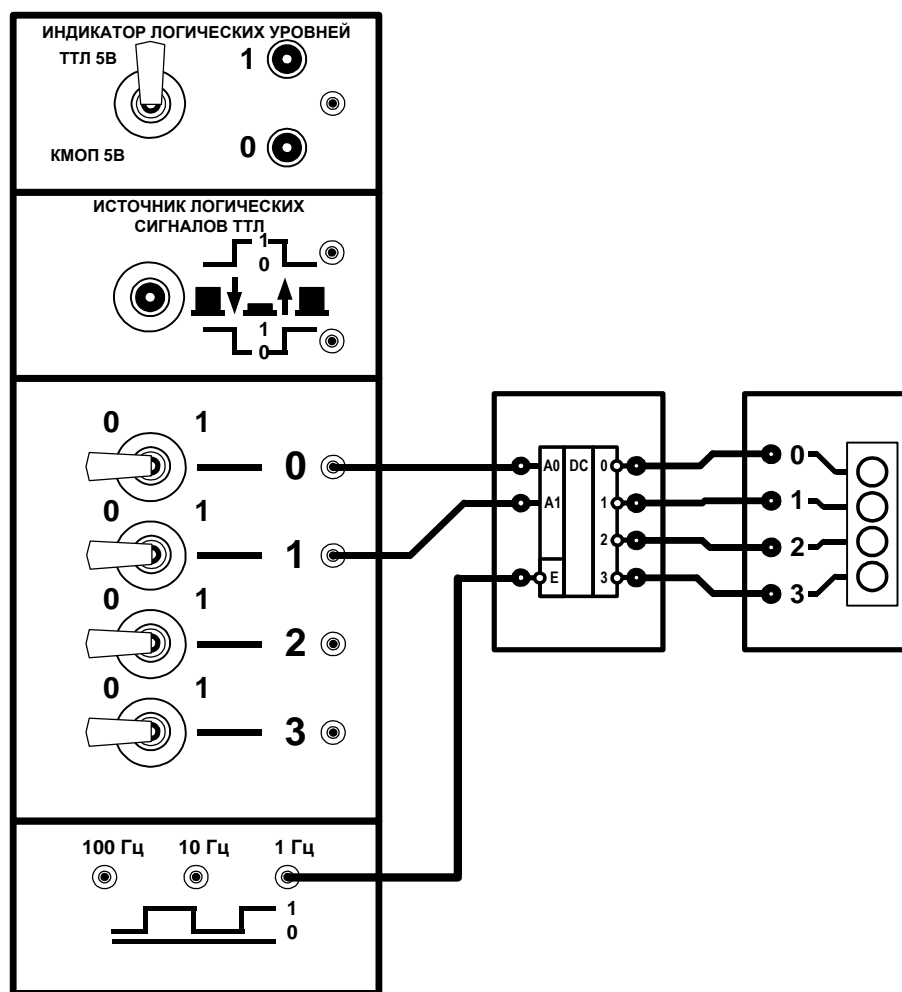


Рисунок 8.4 – Схема соединений миниблока дешифратора

**Б.** Тумблерами **0** и **1**, подключенными к входам А0 и А1, задавать номер используемого выхода демультимплексора. Наблюдать изменение состояния выходов мультиплексора с помощью миниблока индикаторов.

**В.** Сопоставить результаты с функциональным назначением демультимплексора и отразить в выводах.

### Контрольные вопросы

1. Что такое мультиплексор и демultipлексор?
2. Поясните принцип работы мультиплексора и демultipлексора.
3. Поясните каким образом дешифратор выполняет функцию демultipлексора.
4. Каким образом с помощью мультиплексора можно реализовать логическую функцию?
5. Разработайте комбинационную схему управления цифровым ключом мультиплексора в виде элемента И для подключения одного из информационных входов  $D_0, \dots, D_3$  к выходу мультиплексора.
6. Разработайте комбинационную схему управления цифровым ключом демultipлексора в виде элемента И для подключения информационного входа  $D$  к одному из выходов  $0, \dots, 3$ .

## 9. ТРИГГЕРЫ

Цель работы: изучение схемотехники и принципа работы триггеров.

### 9.1. Теоретические сведения

**Триггер** – последовательностное устройство с двумя устойчивыми состояниями, предназначенное для записи, хранения и выдачи одного бита информации.

В общем случае триггеры различных типов содержат элемент памяти и разнообразные комбинационные схемы формирования сигналов управления. Элемент памяти представляет собой **бистабильную ячейку**, которая состоит из двух инверторов, охваченных глубокой положительной обратной связью, поэтому переход из одного состояния в другое происходит лавинообразно за очень короткое время.

В работе тестируются асинхронный RS и синхронные D, T триггеры. Асинхронный триггер переключается сразу после подачи сигнала установки в «0» или «1»; переключение синхронного триггера происходит при подаче дополнительного сигнала на вход синхронизации.

**9.1.1. RS-триггер** – триггер с отдельной установкой состояния логического нуля и логической единицы (асинхронный). Общее обозначение варианта RS триггера и его реализация на элементах ИЛИ-НЕ показаны на рис.9.1.

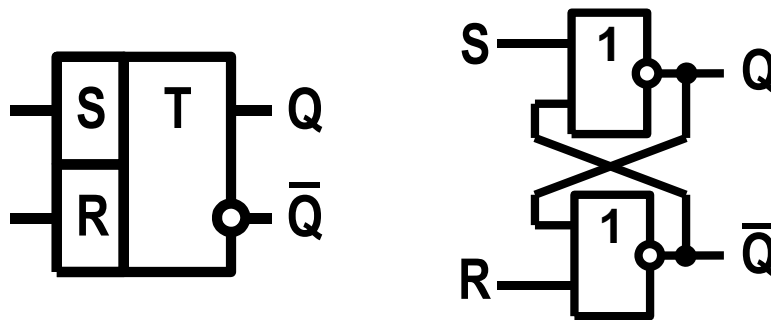


Рисунок 9.1 – Обозначение RS-триггера на схемах и его реализация на элементах ИЛИ-НЕ

На рисунке использованы следующие обозначения:

$Q$  – прямой выход триггера;

$\bar{Q}$  – инверсный выход триггера. Состояние инверсного выхода всегда противоположно состоянию прямого выхода  $Q$ ;

$S$  – вход установки «1» на прямом выходе (Set). Для триггера, показанного на рисунке, переключение происходит при  $S = 1$  (прямой вход);

$R$  – вход установки «0» на прямом выходе (Reset). Для триггера на рисунке переключение происходит при  $R = 1$  (прямой вход).

Данный RS триггер является асинхронным одноступенчатым триггером, переключение которого происходит непосредственно в момент изменения входных сигналов.

Переходы RS триггера на элементах ИЛИ-НЕ представлены в таблице 9.1.

Таблица 9.1

**Таблица переходов RS-триггера**

$R$	$S$	$Q_{n+1}$
0	0	$Q_n$
1	0	0
0	1	1
1	1	Неопределенное

В таблице  $Q_n$  и  $Q_{n+1}$  обозначают, соответственно, текущее и последующее состояния триггера. Логическая функция переходов RS триггера на элементах ИЛИ-НЕ имеет вид

$$Q_{n+1} = S \vee \bar{R} \cdot Q_n. \quad (9.1)$$

При  $R = S = 1$  выходы триггера  $Q = \bar{Q} = 0$ . После одновременной установки  $R = S = 0$  состояние триггера неопределенно, возможно как  $Q_{n+1} = 0$ , так и  $Q_{n+1} = 1$ .

**9.1.2. D-триггер** – триггер задержки (**D**elay), передающий информацию со входа на выход в момент появления синхронизирующего (тактирующего) импульса. В комплект миниблоков включен синхронный D триггер, выполненный на микросхеме 1533ТМ2 (74ALS74). Графическое обозначение D триггера приведено на рис. 9.2. Буквы ТТ означают наличие в нем двух бистабильных ячеек – для предзаписи и записи бита информации.

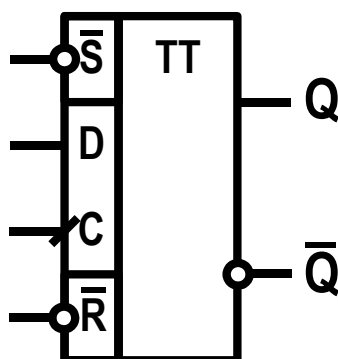


Рисунок 9.2 – Обозначение D-триггера на схемах



На рисунке использованы следующие обозначения:

$Q$ ,  $\bar{Q}$  – прямой и инверсный выходы триггера. Состояние инверсного выхода всегда противоположно состоянию прямого выхода  $Q$ ;

$D$  – информационный (**D**ata) вход триггера;

$C$  – вход синхронизации (**C**lock) триггера. Наклонная черточка на выводе входа  $C$  означает, что запись информации в триггер со входа  $D$  происходит при переходе сигнала синхронизации из 0 в 1, т. е. при нарастании сигнала (при его положительном перепаде);

$\bar{S}$  – асинхронный вход установки 1 на прямом выходе (**S**et) независимо от состояния сигналов  $D$  и  $C$ . Вход инверсный – изменение состояния триггера происходит при  $\bar{S} = 0$ ;

$\bar{R}$  – асинхронный вход установки 0 на прямом выходе (**R**eset) независимо от состояния сигналов  $D$  и  $C$ . Вход инверсный – изменение состояния триггера происходит при  $\bar{R} = 0$ .

Как и в  $RS$  триггере, одновременная подача сигналов  $\bar{S} = \bar{R} = 0$  запрещена, поскольку состояние триггера после установки  $\bar{S} = \bar{R} = 1$  неопределенно.

Таблица переходов D триггера (см. таблицу 9.2). Переход из состояния  $Q_n$  в  $Q_{n+1}$  происходит при положительном перепаде сигнала  $C$ .

Таблица 9.2

**Таблица переходов D триггера**

$D$	$Q_n$	$Q_{n+1}$
0	0	0
0	1	0
1	0	1
1	1	1

**9.1.3. T-триггер** – триггер со счетным входом, изменяющий свое состояние на противоположное при приходе управляющего импульса (фронта импульса, о чем говорит наклонная черта вверх). В работе тестируется T триггер созданный на основе D триггера. Соединение инвертирующего выхода  $\bar{Q}$  с информационным входом  $D$  приводит к тому, что триггер меняет свое состояние при каждом положительном перепаде сигнала на входе синхронизации  $C$  (см. рис. 9.3).

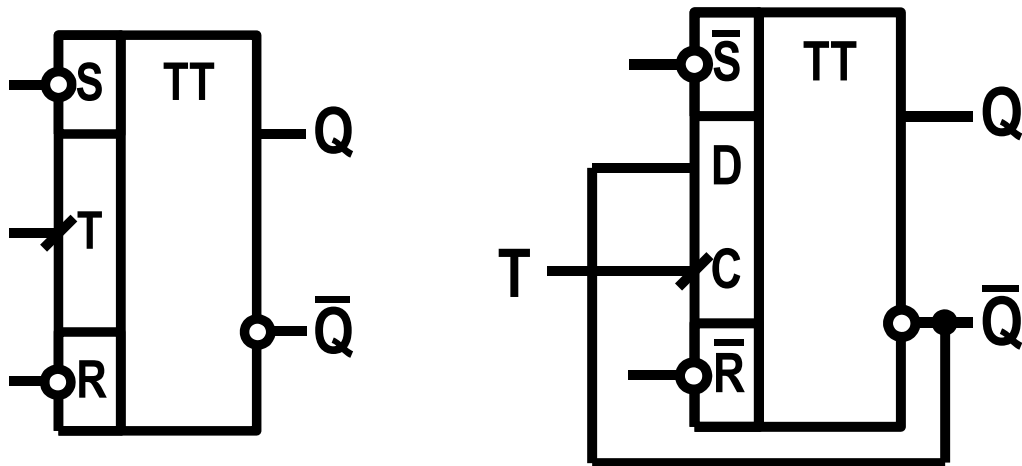


Рисунок 9.3 – Обозначение Т-триггера на схемах и его реализация на D-триггере

На рисунке использованы следующие обозначения:

$Q$ ,  $\bar{Q}$  – прямой и инверсный выходы триггера. Состояние инверсного выхода всегда противоположно состоянию прямого выхода  $Q$ ;

$D$  – информационный (**D**ata) вход триггера;

$T$  – счетный вход (**T**oggle) триггера. Смена состояния триггера происходит при положительном перепаде сигнала на входе  $T$ ;

$\bar{S}$  – асинхронный вход установки 1 на прямом выходе (**S**et) независимо от состояния триггера и сигнала  $T$ . Вход инверсный – изменение состояния триггера происходит при  $\bar{S} = 0$ ;

$\bar{R}$  – асинхронный вход установки 0 на прямом выходе (**R**eset) независимо от состояния триггера и сигнала  $T$ . Вход инверсный – изменение состояния триггера происходит при  $\bar{R} = 0$ .

Как и в  $RS$  триггере, одновременная подача сигналов  $\bar{S} = \bar{R} = 0$  запрещена, поскольку состояние триггера после установки  $\bar{S} = \bar{R} = 1$  неопределенно.

## 9.2. Порядок выполнения работы

### 9.2.1. Исследование $RS$ -триггера

А. На наборном поле **Блока испытания цифровых устройств** установить миниблок с логическими элементами ИЛИ-НЕ и собрать схему на рис. 9.4. Подключить входы триггера к источнику логических уровней блока испытания, а выходы – к миниблоку индикаторов логических уровней.

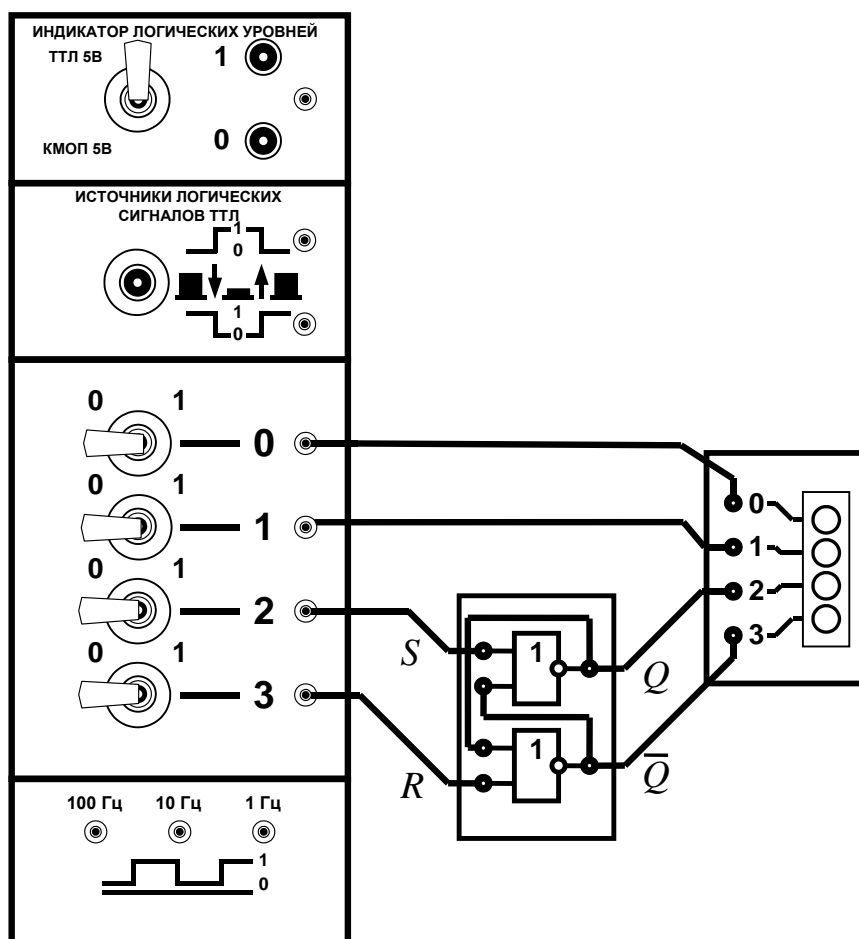


Рисунок 9.4 – Схема соединений миниблока ИЛИ-НЕ

**Б.** Изменяя положение переключателей 2 и 3 Блока испытания цифровых устройств последовательно заполнить таблицу 9.3.

Таблица 9.3

**Экспериментальная таблица переключений RS-триггера**

$R$	$S$	$Q$	$\bar{Q}$	Состояние
0	0			
1	0			
0	0			
0	1			
0	0			
1	1			
0	0			

В колонке «Состояние» указать один из вариантов: единичное, нулевое, хранение 0, хранение 1, неопределенное.

**В.** Сопоставить результаты с теоретическими данными и отразить в выводах.

### 9.2.2. Исследование D-триггера

А. На наборном поле **Блока испытания цифровых устройств** установить миниблоки D триггера, индикатора логических уровней и миниблок формирования низкого и высокого уровней напряжения. Собрать схему на рис. 9.5.

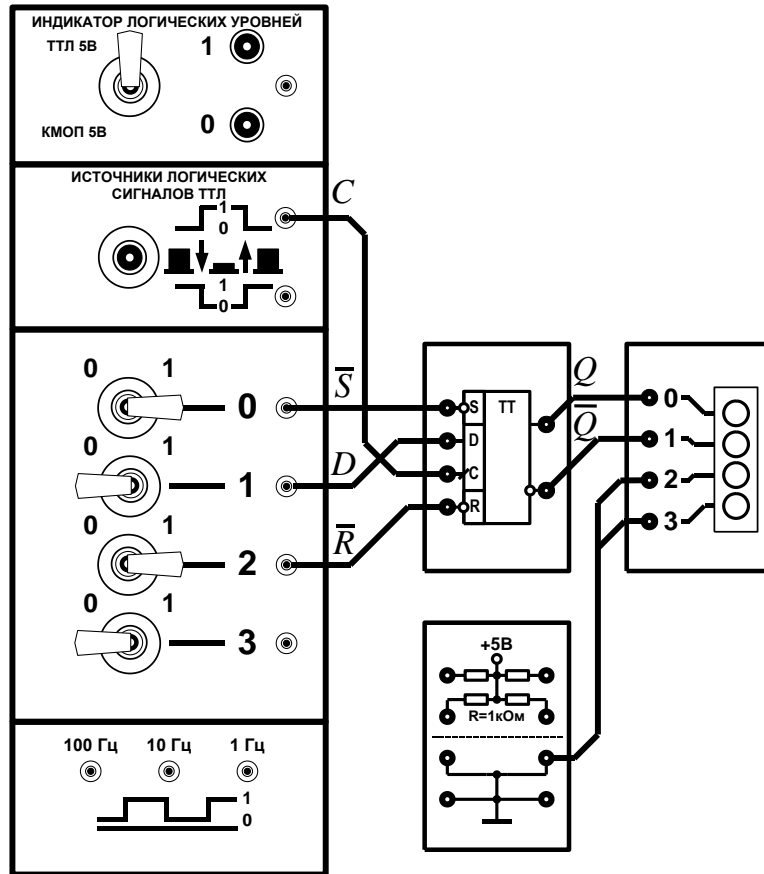


Рисунок 9.5 – Схема соединений миниблока D-триггера

Б. Используя переключатели **0** и **2** логических уровней, подать на входы  $\bar{S}$  и  $\bar{R}$  логическую 1. Устанавливать поочередно переключатель **1** в состояния 0 и 1 и каждый раз после установки нажимать кнопку подачи импульса синхронизации на вход C, определять состояние D триггера. Заполнить таблицу 9.4.

Таблица 9.4

**Экспериментальная таблица переключений D-триггера**

$D$	$C$	$Q$	$\bar{Q}$	Состояние
0	0			
0	0→1			
0	1→0			
1	0			
1	0→1			
1	1→0			
0	0			

В колонке «Состояние» указать один из вариантов: запись 0, хранение 0, запись 1, хранение 1, неопределенное.

**В.** На основе таблицы объяснить принцип работы D триггера и отразить в выводах.

### 9.2.3. Исследование T-триггера

**А.** На наборном поле **Блока испытания цифровых устройств** установить миниблоки D триггера, индикаторов логических уровней и миниблок формирования низкого и высокого уровней напряжения. Собрать схему на рис. 9.6.

**Б.** Используя переключатели **0** и **2** логических уровней, подать на входы  $\bar{S}$  и  $\bar{R}$  логическую 1. Нажимая и отпуская кнопку **источника логических сигналов**, определять состояния триггера. Заполнить таблицу 9.5.

Таблица 9.5

**Экспериментальная таблица переключений T-триггера**

$C$	$Q$	$\bar{Q}$	Состояние
0			
0→1			
1			
1→0			
0			
0→1			
1			
1→0			
0			
0→1			
1			
1→0			
0			
0→1			
1			
1→0			
0			

**В.** На основе таблицы объяснить принцип работы D триггера и отразить в выводах.

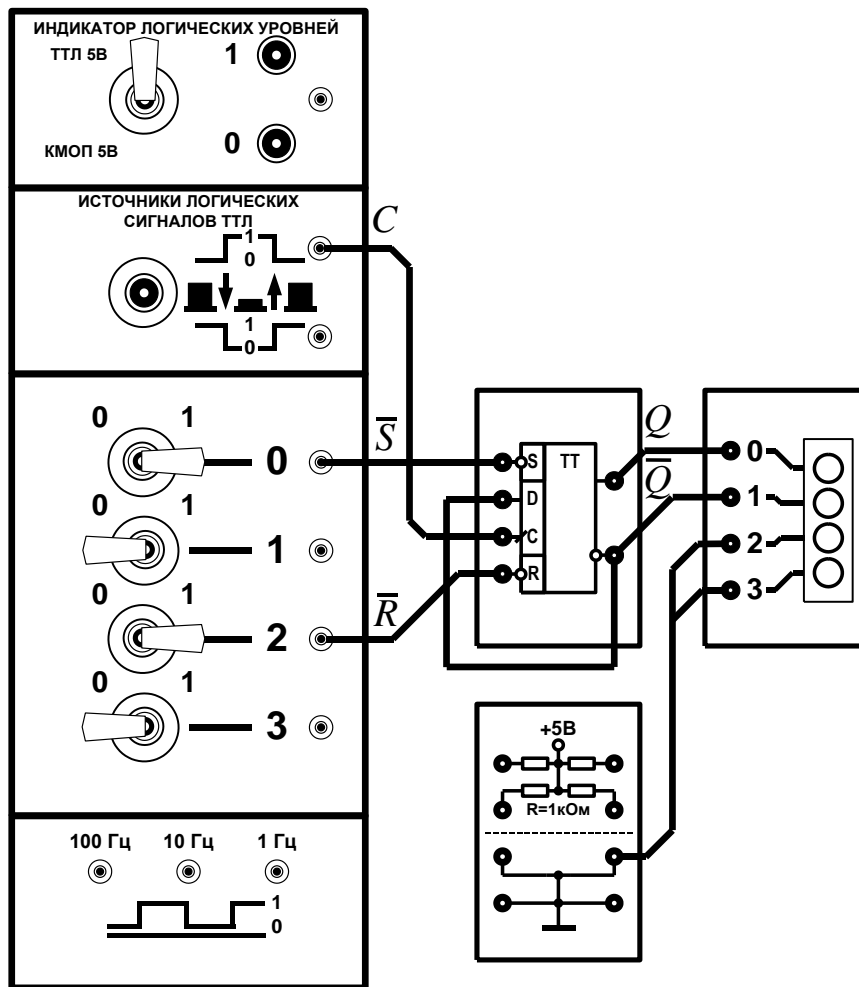


Рисунок 9.6 – Схема соединений Т-триггера на основе D-триггера

### Контрольные вопросы

1. Дайте определение триггера.
2. Нарисуйте схему бистабильной ячейки и объясните принцип работы.
3. Объясните принцип работы D, T триггеров.
4. Что такое асинхронный и синхронный триггеры?

## 10. РЕГИСТРЫ

Цель работы: изучение схемотехники и принципа работы регистров.

### 10.1. Теоретические сведения

**Регистром** называется последовательное устройство, предназначенное для записи, хранения и выдачи информации, представленной в виде много-разрядного двоичного кода. Сдвиговый регистр дополнительно может осуществлять сдвиг разрядов двоичного кода относительно шин записи или выдачи. По числу входов и выходов различают параллельные, последовательные, параллельно-последовательные и последовательно-параллельные регистры. В работе тестируются однофазные параллельный и последовательный (сдвиговый) регистры, выполненные на  $D$  триггерах.

В **параллельных регистрах (регистрах хранения)** данные записываются и считываются одновременно и параллельно во всех разрядах. Пример обозначения четырехразрядного параллельного регистра показан на рис. 10.1.

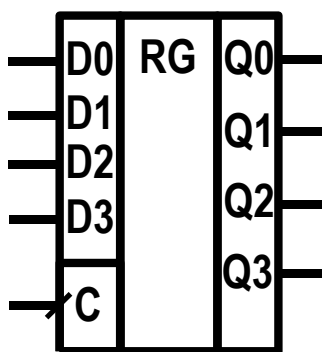


Рисунок 10.1 – Обозначение параллельного регистра на схемах

Логическая схема четырехразрядного параллельного регистра, выполненного на  $D$  триггерах, приведена на рис. 10.2

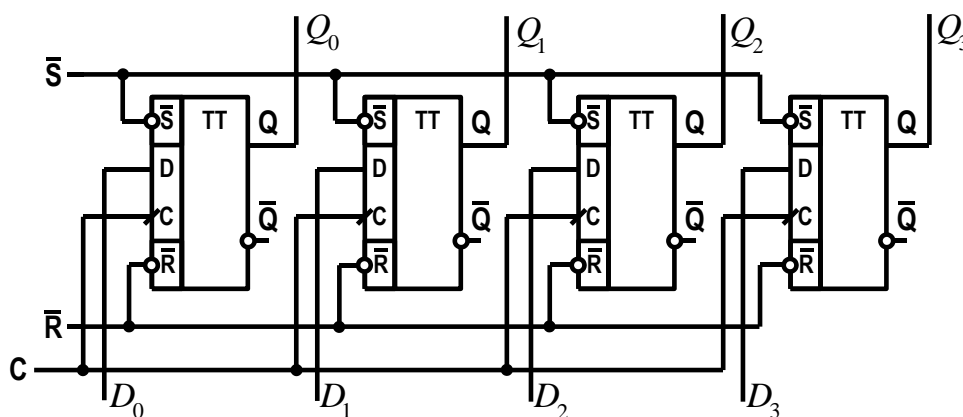


Рисунок 10.2 – Логическая схема параллельного регистра

Двоичный код, установленный на входах  $D_0, \dots, D_3$ , записывается в триггеры регистра при положительном перепаде на входе  $C$ , и сохраняется в регистре до следующей операции записи. Записанный в регистр код может быть считан с прямых выходов триггеров  $Q_0, \dots, Q_3$ . Для нормально работы триггеров регистра необходимо  $\bar{S} = \bar{R} = 1$ .

В последовательном (сдвиговом) регистре триггеры соединены последовательно, т. е. информация с выхода триггера передается на вход следующего триггера. Пример обозначения четырехразрядного сдвигового регистра приведен на рис. 10.3.

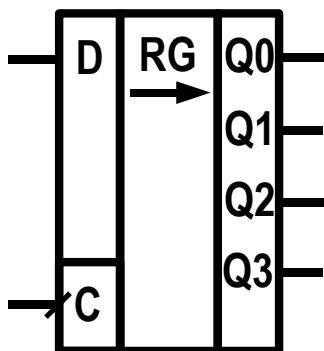


Рисунок 10.3 – Обозначение последовательного регистра на схемах

Логическая схема регистра на  $D$  триггерах представлена на рис. 10.4.

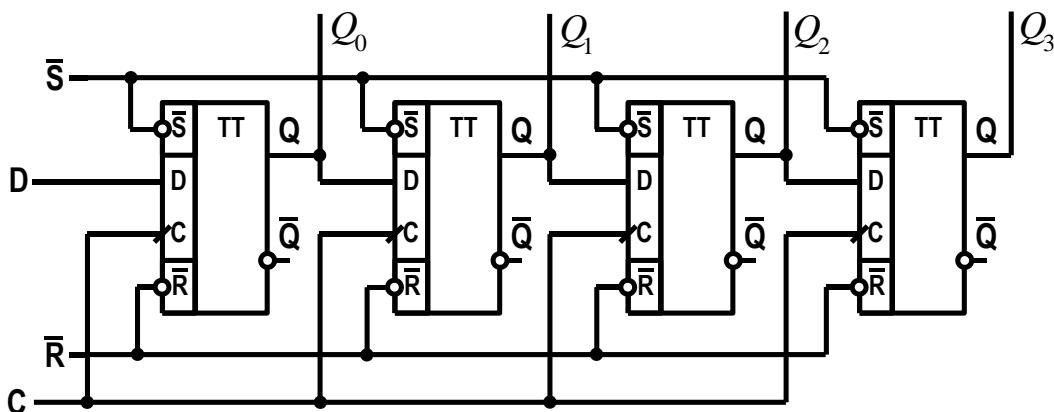


Рисунок 10.4 – Логическая схема последовательного регистра

При отсутствии синхроимпульсов на входе  $C$  триггеры регистра сохраняют свое состояние, которое может быть считано с выходов регистра  $Q_0, \dots, Q_3$ . Данные с прямого выхода каждого триггера поступают на вход  $D$  следующего триггера регистра.

При положительном перепаде импульса синхронизации на входе  $C$  в каждый триггер записывается состояние предыдущего триггера регистра, т. е.



данные сдвигаются на 1 разряд (на рисунке – вправо). В первый триггер регистра записываются данные с входа *D* регистра. Следующий синхроимпульс сдвигает данные еще на 1 разряд и т. д.

Для нормальной работы триггеров регистра необходимо  $\bar{S} = \bar{R} = 1$ .

## 10.2. Порядок выполнения работы

### 10.2.1. Исследование параллельного регистра

**А.** На наборном поле **Блока испытания цифровых устройств**, используя миниблоки, собрать схему параллельного регистра на рис. 10.5.

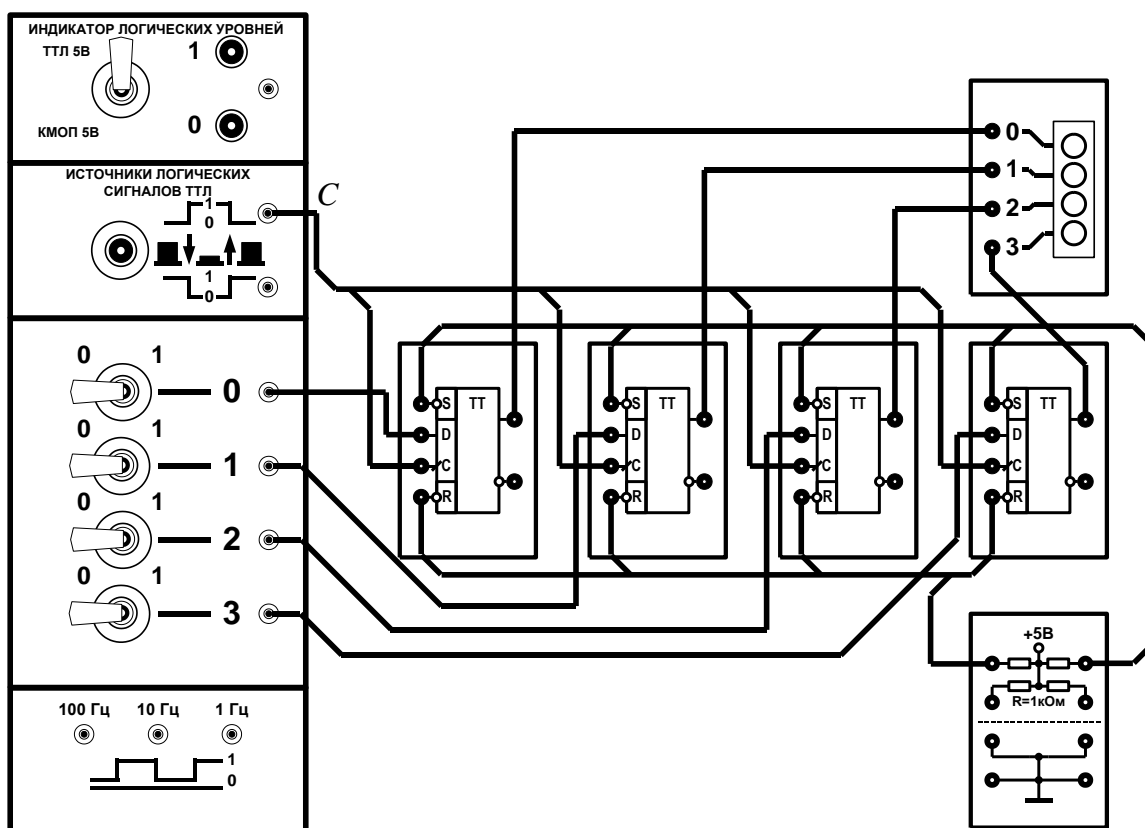


Рисунок 10.5 – Схема соединений миниблоков параллельного регистра

**Б.** С помощью тумблеров **0**, ..., **3** установить на входах регистра (триггеров) произвольный код. Записать данные в регистр нажатием на кнопку источника логических сигналов (по сигналу синхронизации). Светодиоды отображают состояние триггеров регистра.

Изменить код на входе регистра и повторить запись.

**В.** Объяснить результаты эксперимента и отразить в выводах.

## 10.2.2. Исследование последовательного регистра

А. На наборном поле **Блока испытания цифровых устройств**, используя миниблоки, собрать схему последовательного регистра на рис. 10.6.

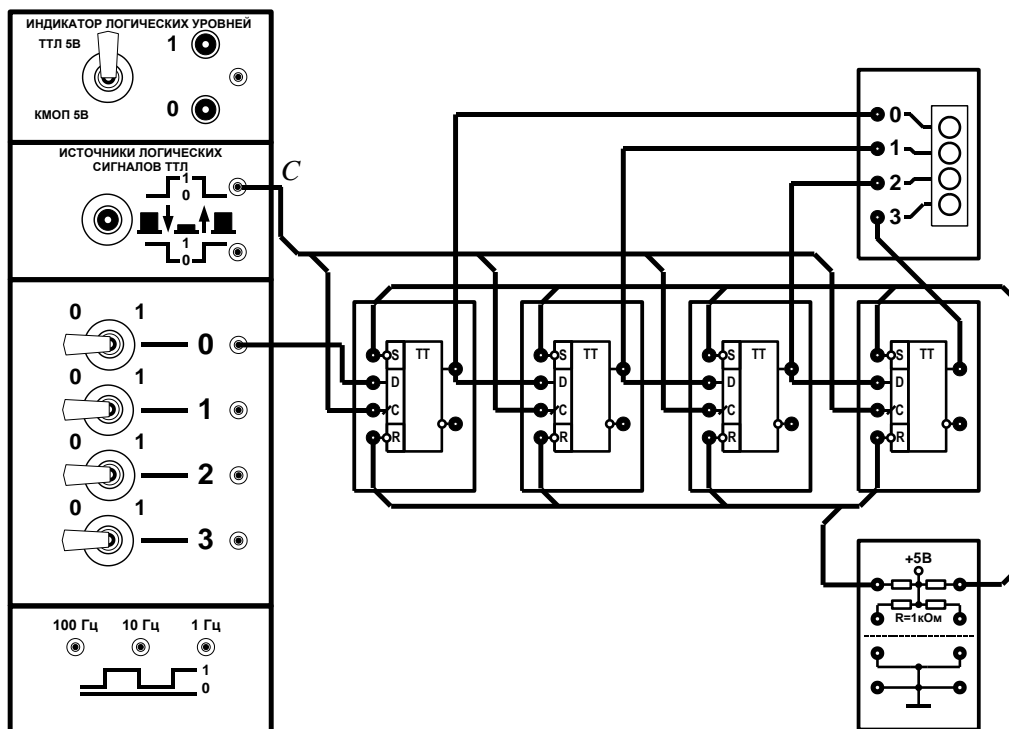


Рисунок 10.6 – Схема соединений миниблоков последовательного регистра

Б. Тумблером **0** установить 0 или 1 для записи в регистр. Запись и сдвиг данных в регистре осуществляются по сигналу синхронизации (нажатием на кнопку). Светодиоды отображают состояние триггеров регистра.

Повторить запись любого заданного бита информации 3 раза и убедиться в записи в регистр четырехзначного двоичного числа.

В. Объяснить принцип работы последовательного регистра и отобразить в выводах.

### Контрольные вопросы

1. Объясните что такое регистр и каково его назначение.
2. Классификация регистров.
3. Объясните принцип работы параллельного регистра.
4. Объясните принцип работы последовательного регистра.

## 11. СЧЕТЧИКИ

Цель работы: изучение схемотехники и принципа работы счетчиков.

### 11.1. Теоретические сведения

В работе тестируются четырехразрядные двоичные суммирующий и вычитающий счетчики, двоично-десятичный счетчик и двоично-десятичный реверсивный счетчик.

**Двоичный суммирующий асинхронный счетчик** собирается на  $T$  триггерах по логической схеме, приведенной на рис. 11.1.

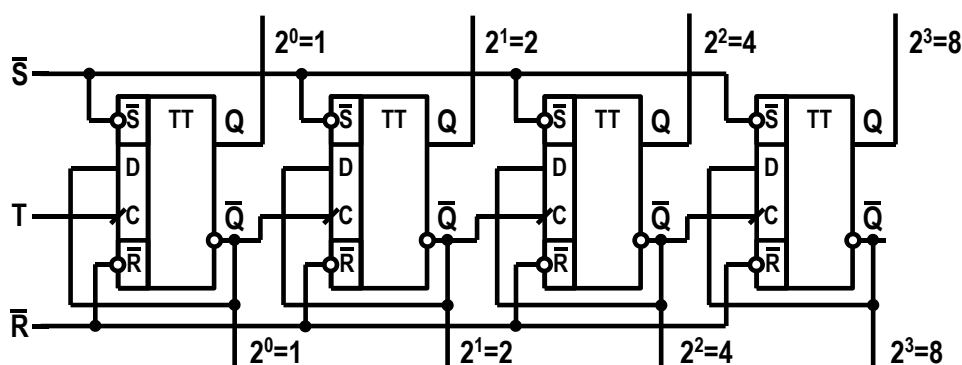


Рисунок 11.1 – Схема двоичного суммирующего асинхронного счетчика

$T$  триггеры счетчика выполнены на основе  $D$  триггеров из набора микроблоков. Положительный перепад сигнала на входе счетчика  $T$  увеличивает содержимое счетчика на 1. Переход любого триггера счетчика из состояния «1» в «0» приводит к появлению положительного перепада на инверсном выходе этого триггера и переключению триггера следующего разряда. При счете состояние триггеров счетчика меняется в соответствии с таблицей 11.1.

Таблица 11.1

#### Состояния выходов $Q$ счетчика при суммировании

Десятичное число	Выходы $Q$			
	$2^3 = 8$	$2^2 = 4$	$2^1 = 2$	$2^0 = 1$
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

Для работы счетчика в режиме счета на входах  $\bar{S}$  и  $\bar{R}$  триггеров должна быть установлена логическая 1. Приход сигнала 0 на одной из этих шин немедленно переводит счетчик в состояние  $0_{10}=0000_2$  (вход  $\bar{R}$ ) или  $15_{10}=1111_2$  (вход  $\bar{S}$ ) и блокирует счет. Счет возобновится после восстановления  $\bar{S} = \bar{R} = 1$ .

Одновременно с увеличением числа на прямых выходах триггеров счетчика, двоичное число на инверсных выходах триггеров убывает от  $15_{10}=1111_2$  до  $0_{10}=0000_2$ , т. е относительно инверсных выходов счетчик можно рассматривать как вычитающий. Тогда, при счете, состояние триггеров счетчика меняется в соответствии с таблицей 11.2.

Таблица 11.2

**Состояния выходов  $\bar{Q}$  счетчика при суммировании**

Десятичное число	Выходы $\bar{Q}$			
	$2^3 = 8$	$2^2 = 4$	$2^1 = 2$	$2^0 = 1$
15	1	1	1	1
14	1	1	1	0
13	1	1	0	1
12	1	1	0	0
11	1	0	1	1
10	1	0	1	0
9	1	0	0	1
8	1	0	0	0
7	0	1	1	1
6	0	1	1	0
5	0	1	0	1
4	0	1	0	0
3	0	0	1	1
2	0	0	1	0
1	0	0	0	1
0	0	0	0	0

Вариант **вычитающего счетчика** можно получить, если на вход следующего триггера подать сигнал с прямого выхода предыдущего триггера.

При счете на прямых выходах триггеров будет формироваться убывающее двоичное число. Логическая схема такого счетчика приведена на рис. 11.2.

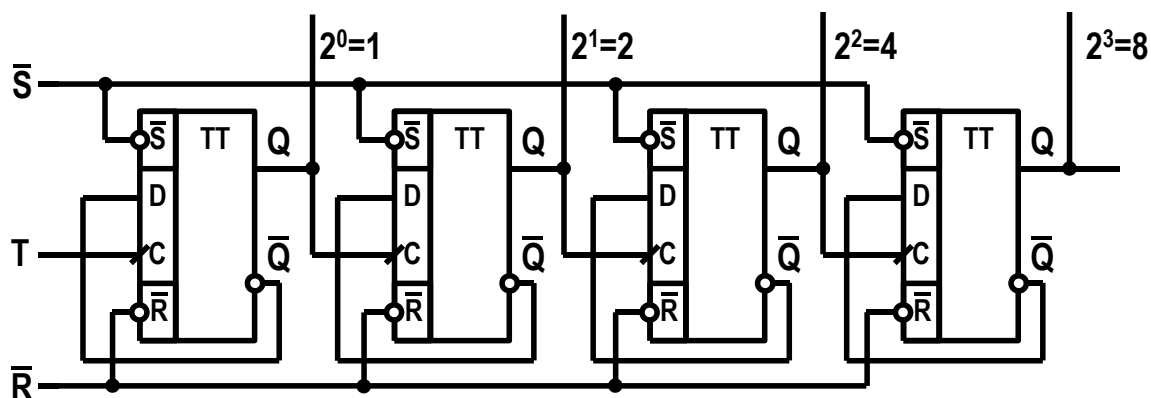


Рисунок 11.2 – Схема двоичного вычитающего счетчика

Если перед началом счета счетчик был установлен в состояние  $0_{10}=0000_2$ , то первый положительный перепад на входе  $T$  переведет его в состояние  $15_{10}=1111_2$ , и, в дальнейшем, двоичное число на прямых выходах триггеров будет убывать в соответствии с таблицей 11.3.

Таблица 11.3

**Состояния выходов счетчика при вычитании**

Десятичное число	Выходы $Q$			
	$2^3 = 8$	$2^2 = 4$	$2^1 = 2$	$2^0 = 1$
0	0	0	0	0
15	1	1	1	1
14	1	1	1	0
13	1	1	0	1
12	1	1	0	0
11	1	0	1	1
10	1	0	1	0
9	1	0	0	1
8	1	0	0	0
7	0	1	1	1
6	0	1	1	0
5	0	1	0	1
4	0	1	0	0
3	0	0	1	1
2	0	0	1	0
1	0	0	0	1

Для нормальной работы счетчика на входах  $\bar{S}$  и  $\bar{R}$  триггеров должна быть установлена логическая «1». Приход сигнала 0 на одной из этих шин немедленно переводит счетчик в состояние  $0_{10}=0000_2$  (вход  $\bar{R}$ ) или  $15_{10}=1111_2$  (вход  $\bar{S}$ ).

**Двоично-десятичный счетчик** (рис. 11.3) создан на основе двоичного суммирующего счетчика. Дополнительная комбинационная логическая цепь выявляет появление в счетчике числа  $10_{10}=1010_2$  и сбрасывает счетчик в состояние «0».

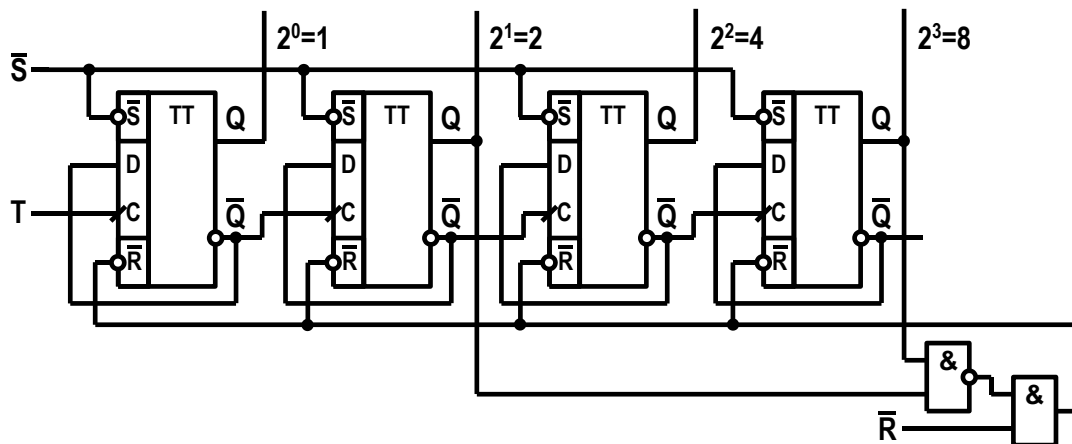


Рисунок 11.3 – Схема двоично-десятичного счетчика

При счете двоичное число на выходах счетчика меняется в соответствии с таблицей 11.4.

Таблица 11.4

**Состояния выходов двоично-десятичного счетчика при суммировании**

Десятичное число	Выходы $Q$				Примечание
	$2^3 = 8$	$2^2 = 4$	$2^1 = 2$	$2^0 = 1$	
0	0	0	0	0	
1	0	0	0	1	
2	0	0	1	0	
3	0	0	1	1	
4	0	1	0	0	
5	0	1	0	1	
6	0	1	1	0	
7	0	1	1	1	
8	1	0	0	0	
9	1	0	0	1	
10	1	0	1	0	Сброс в состояние $0_{10}=0000_2$

Для нормальной работы счетчика на входах  $\bar{S}$  и  $\bar{R}$  триггеров должна быть установлена логическая «1». Установка 0 на входе  $\bar{R}$  приводит к сбросу счетчика, т. е. переводит его в состояние  $0_{10}=0000_2$ .

Попытка установки счетчика в состояние  $15_{10}=1111_2$  сигналом  $\bar{S}=0$  приводит к неопределенным результатам. Действительно, при  $\bar{S}=0$  счетчик переходит в состояние  $15_{10}=1111_2$ . Установка в состояние «1» триггеров второго ( $2^1$ ) и четвертого ( $2^3$ ) разрядов приводит к появлению 0 на выходе элементов И-НЕ, И. Таким образом «0» устанавливается и на входах  $\bar{R}$  всех триггеров. При  $\bar{R}=\bar{S}=0$  триггеры переходят в состояние, когда сигналы на прямом и инверсном выходе одинаковы, и равны «1». При выходе из этого состояния ( $\bar{S}=1$ ) состояние триггеров счетчика неопределенно.

**Двоично-десятичный реверсивный счетчик** выполнен на микросхеме 1533ИЕ6 (74ALS192) (рис. 11.4).

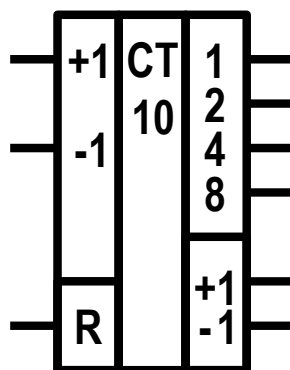


Рисунок 11.4 – Обозначение двоично-десятичного счетчика 1533ИЕ6

Положительный перепад на входе «+1» (при сигнале «1» на входе «-1») увеличивает содержимое счетчика, а на входе «-1» – уменьшает (при «1» на входе «+1»). При подаче «1» на входы сброса  $R$  счетчик обнуляется. Если содержимое счетчика равно  $9_{10}=1001_2$ , то положительный перепад на входе «+1» переводит счетчик в состояние  $0_{10}=0000_2$ , и на выходе переноса «+1» появляется положительный перепад, добавляющий 1 в счетчик следующего старшего разряда (не показан на рисунке).

При уменьшении содержимого счетчика, находящегося в состоянии  $0_{10}=0000_2$ , счетчик переходит в состояние  $9_{10}=1001_2$  и на выходе «-1» формируется сигнал вычитания «1» для счетчика старшего разряда (не показан на рисунке).

## 11.2. Порядок выполнения работы

### 11.2.1. Исследование двоичного счетчика в режиме сложения

А. На наборном поле блока испытания цифровых устройств, используя миниблоки, собрать схему суммирующего двоичного счетчика на рис. 11.5. Схема на рисунке показана сплошными линиями.

Б. Установить счетчик в состояние «0» (сбросить в «0») переключателем 2 (кратковременно переключить в положение 0). На вход счетчика подавать импульсы нажатием кнопки источника логических сигналов. Содержимое счетчика контролировать по свечению светодиодов. Заполнять таблицу 11.5 состояний счетчика после подачи каждого импульса.

Таблица 11.5

Экспериментальная таблица состояний счетчика

Номер импульса	Выходы $Q$			
	$2^3 = 8$	$2^2 = 4$	$2^1 = 2$	$2^0 = 1$
0				
1				
...				
16				

В. Сопоставить результаты с теоретическими данными и отразить в выводах.

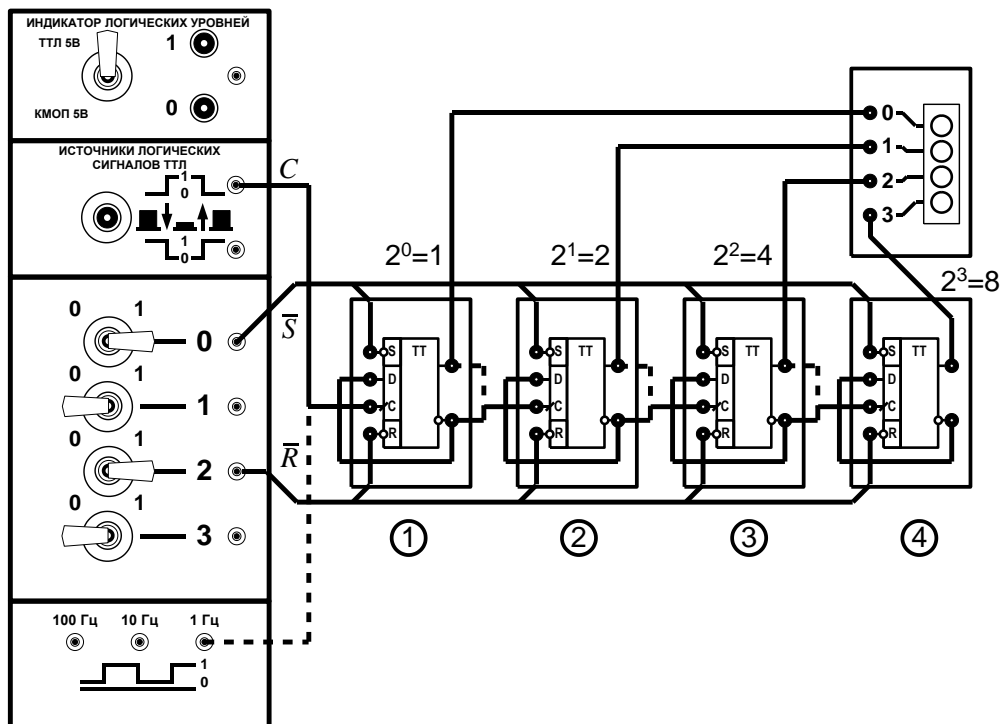


Рисунок 11.5 – Схема соединений двоичного счетчика в режиме сложения



### 11.2.2. Исследование двоичного счетчика в режиме вычитания

А. В схеме предыдущего эксперимента входы С триггеров счетчика с номерами 2, 3, 4 в кружках подключить (переключить) к выходам Q предыдущих триггеров (пунктирные линии).

Б. Установить счетчик в состояние 1111, кратковременно установив переключатель 0 положение 0). Подавать на вход счетчика импульсы и заполнять таблицу предыдущего эксперимента.

В. Сопоставить результаты с теоретическими данными и отразить в выводах.

### 11.2.3 Исследование реверсивного двоично-десятичного счетчика

А. Собрать на наборном поле блока испытания цифровых устройств схему на рис. 11.6, используя связи, обозначенные сплошными линиями.

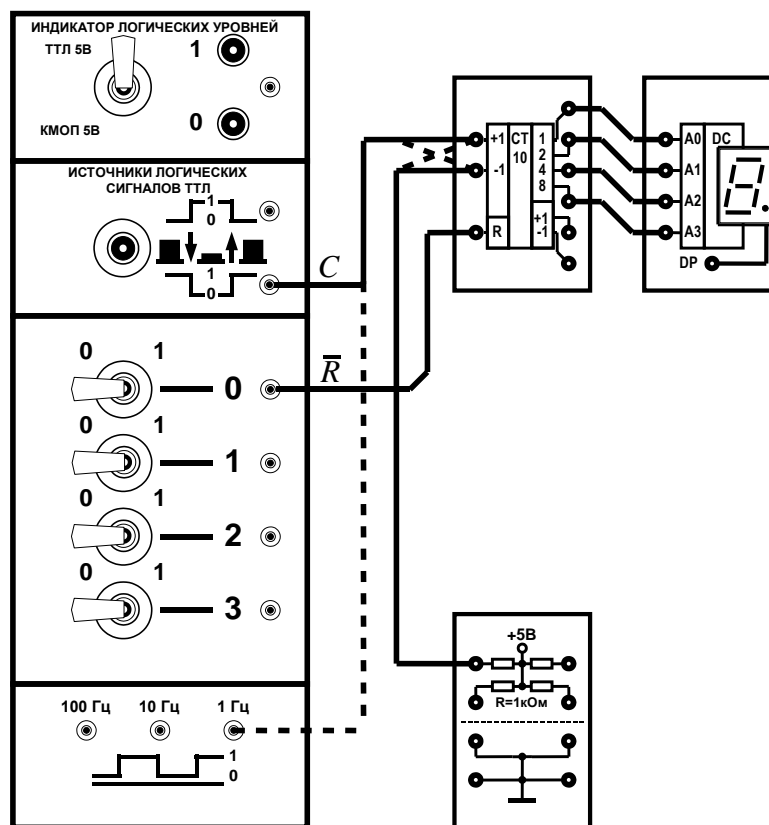


Рисунок 11.6 – Схема соединений реверсивного двоично-десятичного счетчика

Б. Кратковременным переключением тумблера 0 в положение 1 сбросить счетчик в ноль. Подавать на вход счетчика импульсы от **источника импульсных сигналов**, и записывать показания индикатора на выходе счетчика в течение 2-х периодов повторения.

Переключить вход счетчика на выход генератора импульсов 1 Гц (пунктирная линия) и отслеживать показания индикатора.

Для работы в режиме вычитающего счетчика необходимо поменять местами провода, подключенные к входам +1 и -1 счетчика. В этом случае импульсы от кнопки или генератора будут поступать на вход «-1», а на вход «+1» будет подана логическая 1. Переключение входов показано на рисунке пунктиром. Повторить эксперимент с использованием генератора импульсов 1 Гц.

**В.** Проанализировать результаты эксперимента и отразить в выводах.

### **Контрольные вопросы**

1. Какие функции выполняет счетчик?
2. Какие устройства используются в счетчиках для хранения информации?
3. Объясните принцип работы двоичного счетчика.
4. Объясните принцип работы двоично-десятичного счетчика.

## Заключение

В учебном издании в доступной форме изложены принципы построения и функционирования основных функциональных устройств цифровой электронной техники.

Выбор вида издания как лабораторного практикума обусловлен подтвержденной на практике высокой эффективностью изучения материала, когда после прочтения теоретических разделов проводятся занятия в лаборатории. В ходе таких занятий – лабораторных работ – теория проверяется экспериментально путем исследования конкретных приборов и схем. Естественно, рекомендуется первоначально вдумчиво изучить теорию, а только затем осмысленно приступать к выполнению лабораторных работ.

В силу своей специфики схемотехника относится к дисциплинам, в которых можно четко выстроить последовательность изучения материала: каждый новый фрагмент материала базируется на предыдущем материале и является его развитием. Пробелы в знаниях в таких дисциплинах особенно сильно сказываются на эффективности их изучения в целом. В связи с этим рекомендуется при освоении дисциплины в каждом разделе стараться отвечать на контрольные вопросы и оценивать уровень собственных знаний; при необходимости нужно возвращаться к теории и вновь изучать ее.

Цифровая схемотехника является базовой дисциплиной для изучения принципов построения микропроцессоров и микроконтроллеров, а также систем автоматизации производства и безопасности жизнедеятельности.

## Список литературы

1. Алексенко А.Г. Основы микросхемотехники / А.Г. Алексенко. – М.: Юнимедиастайл, 2002. – 448 с. Текст: непосредственный.
2. Гитлин В.Б. Введение в схемотехнику электронных вычислительных машин: учеб. пособие / В.Б. Гитлин, В.С. Казаков. – Ижевск: Изд-во ИжГТУ, 2008. – 584 с. Текст: непосредственный.
3. Гусев В.Г. Электроника и микропроцессорная техника: учебник для вузов / В.Г. Гусев, Ю.М. Гусев. – М.: Высш. Шк., 2005. – 790 с. Текст: непосредственный..
4. Красногорцев И.Л. Основы цифровой техники: руководство по выполнению базовых экспериментов – ОЦТ.001 РБЭ (920) / И.Л. Красногорцев; под. ред. П.Н. Сенигова. – Челябинск: ООО «ИПЦ «Учебная техника», 2006-2018. – 97 с. Текст: непосредственный.
5. Опадчий Ю.Ф. Аналоговая и цифровая электроника (Полный курс): учебник для вузов / Ю.Ф. Опадчий, О.П. Глудкин, А.И. Гуров. – М.: Горячая линия – Телеком, 2001. – 768 с. Текст: непосредственный.
6. Степаненко И.П. Основы микроэлектроники: учеб. пособие для вузов. – М.: Лаборатория базовых знаний, 2001. – 488 с. Текст: непосредственный.

## **ПРИЛОЖЕНИЕ. Структура отчета по лабораторным работам**

Отчеты по лабораторным работам оформляются на листах формата А4 с записью с одной стороны и должны содержать:

- титульный лист, на котором указываются:

сверху:

**Министерство науки и высшего образования РФ  
Удмуртский государственный университет  
Институт гражданской защиты  
Кафедра Цифровые инженерные технологии**

в центре:

**Отчет  
по лабораторной работе (название работы)  
по дисциплине (название дисциплины))**

в центре справа:

**Выполнил студент гр. (номер группы)  
(ФИО студента)  
Принял (ФИО преподавателя)**

внизу:

**Город, год**

- на последующих листах приводятся:
  - цель работы;
  - описание работы по пунктам. В каждом пункте:
    - название пункта;
    - схема установки;
    - порядок проведения эксперимента;
    - экспериментальные результаты;
    - обсуждение результатов и выводы.

## Оглавление

Введение .....	3
Термины цифровой схемотехники .....	4
1. ЛАБОРАТОРНОЕ ОБОРУДОВАНИЕ.....	7
1.1. Блок испытания цифровых устройств .....	7
1.2. Блок мультиметров .....	9
1.3. Источник электропитания.....	11
1.4. Набор миниблоков .....	12
2. ЛОГИЧЕСКИЙ ЭЛЕМЕНТ ТРАНЗИСТОРНО-ТРАНЗИСТОРНОЙ ЛОГИКИ.....	14
2.1. Теоретические сведения.....	14
2.2. Порядок выполнения работы.....	20
Контрольные вопросы .....	23
3. ФУНКЦИИ БАЗОВЫХ ЛОГИЧЕСКИХ ЭЛЕМЕНТОВ.....	24
3.1. Теоретические сведения.....	24
3.2. Порядок выполнения работы.....	26
Контрольные вопросы .....	28
4. КОМБИНАЦИОННЫЕ СХЕМЫ НА ОСНОВЕ БАЗОВЫХ ЛОГИЧЕ- СКИХ ЭЛЕМЕНТОВ .....	29
4.1 Теоретические сведения.....	29
4.2. Порядок выполнения работы.....	32
Контрольные вопросы .....	33
5. ЗАКОНЫ АЛГЕБРЫ ЛОГИКИ В КОМБИНАЦИОННЫХ СХЕМАХ .....	34
5.1. Теоретические сведения.....	34
5.2. Порядок выполнения работы.....	39
Контрольные вопросы .....	40
6. ОДНОРАЗРЯДНЫЕ ПОЛУСУММАТОР И СУММАТОР .....	41
6.1. Теоретические сведения.....	41
6.2. Порядок выполнения работы.....	42
Контрольные вопросы .....	44
7. ПРЕОБРАЗОВАТЕЛЬ КОДА И ДЕШИФРАТОР.....	45
7.1. Теоретические сведения.....	45
7.2. Порядок выполнения работы.....	46
Контрольные вопросы.....	49
8. МУЛЬТИПЛЕКСОР И ДЕМУЛЬТИПЛЕКСОР .....	50
8.1. Теоретические сведения.....	50
8.2. Порядок выполнения работы.....	52
Контрольные вопросы .....	54
9. ТРИГГЕРЫ.....	55
9.1. Теоретические сведения.....	55

9.2. Порядок выполнения работы.....	58
Контрольные вопросы .....	62
10. РЕГИСТРЫ .....	63
10.1. Теоретические сведения.....	63
10.2. Порядок выполнения работы.....	65
Контрольные вопросы .....	66
11. СЧЕТЧИКИ.....	67
11.1. Теоретические сведения.....	67
11.2. Порядок выполнения работы.....	72
Контрольные вопросы .....	74
Заключение.....	75
Список литературы .....	76
ПРИЛОЖЕНИЕ. Структура отчета по лабораторным работам .....	77

*Учебное издание*

## **Основы цифровой схемотехники**

Лабораторный практикум

Составители:

Куликов Виктор Александрович

Чирков Борис Владимирович

Шакиров Артем Дмитриевич

*Авторская редакция*

*Компьютерная верстка: Т.В Опарина*

Издательский центр «Удмуртский университет»  
426034, г. Ижевск, ул. Ломоносова, 4Б, каб. 021  
Тел. + 7 (3412) 916-364, E-mail: editorial@udsu.ru